



多機能シンセサイザモジュール
MULTIFUNCTION SYNTHESIZER MODULE

WS-251S3

取扱説明書

—— はじめに ——

このたびは、WS-251S3 多機能シンセサイザモジュールをお買い求めいただき、ありがとうございます。

製品を安全に正しくお使いいただくために、まず次のページの「安全にお使いいただくために」をお読みください。

●この説明書の注意記号について

この説明書では、次の注意記号を使用しています。機器の使用者の安全のため、また、機器の損傷を防ぐためにも、この注意記号の内容は必ず守ってください。

⚠ 注 意

機器の取扱いにおいて、使用者が傷害を負う、または物的損害が生じるおそれを避けるための情報を記載しております。

●この説明書の章構成は次のようになっています。

初めて使用する方は、1章からお読みください。

1. 概 説

この製品の概要・特長・機能および簡単な動作原理を説明しています。

2. 使用前の準備

実装の前にしなければならない、だいたいな準備作業について説明しています。

3. 入出力ピン配置・接続図

製品のピン配置についての表と基本的な接続図を記載しています。

4. 設定・制御方法の説明

製品の入出力ピンの説明、動作モード、通信方式、設定パラメータに関する基本的な説明をしています。

5. 応用使用例

基本制御を用いた幅広い操作説明をしています。

6. 仕 様

仕様(機能・性能)について記載しています。

7. モジュール外観図

製品の外形寸法図とパターン寸法図を記載しています。

8. 標準データ

代表的な仕様項目についての標準的なデータを記載しています。

—— 安全にお使いいただくために ——

安全にご使用いただくため、下記の警告や注意事項は必ず守ってください。

これらの警告や注意事項を守らずに発生した損害については、当社はその責任と保証を負いかねますのでご了承ください。

- 取扱説明書の内容は必ず守ってください。

取扱説明書には、この製品を安全に操作・使用するための内容を記載しています。

ご使用に当たっては、この説明書を必ずお読みください。

この取扱説明書に記載されているすべての警告事項は、重大事故に結びつく危険を未然に防止するためのものです。必ず守ってください。

- 電源電圧を確認してください。

この製品は、本書の「2.2 電源について」の節に記載の電源電圧で動作します。製品に電圧を印加する前に、製品の定格電源電圧に適合しているかを確認してください。

- おかしいと思ったら

製品から煙が出てきたり、変な臭いや音がしたら、直ちに本製品が組み込まれているシステムの電源を落として使用を中止してください。

- 爆発性雰囲気中では使用しないでください。

爆発などの危険性があります。

- 製品を水で濡らさないようご注意ください。

濡らしたまま使用すると、感電および火災の原因になります。本製品が水に濡れた場合は本製品が組み込まれているシステムの電源を落として使用を中止してください。

- 安全関係の記号

製品本体や取扱説明書で使用している安全上の記号の一般的な定義は次のとおりです。

⚠ 注意

注意記号

⚠ CAUTION

機器の取扱いにおいて、使用者が傷害を負う、または物的損害が生じるおそれを避けるための情報を記載しております。

- 廃棄処分時のお願い

環境保全のため、この製品を廃棄処分するときは、次の内容に留意してください。

- a) この製品は、産業廃棄物を取り扱う業者を通して廃棄処分してください。
- b) この製品は、電池を使用していません。
- c) この製品は、水銀を含有しません。

目次

| | ページ |
|----------------------------|-----|
| 1. 概説 | 1 |
| 1.1 概要 | 2 |
| 1.2 特長 | 2 |
| 1.3 動作原理 | 3 |
| 1.4 ブロック図 | 3 |
| 2. 使用前の準備 | 4 |
| 2.1 外観の確認 | 5 |
| 2.2 電源について | 5 |
| 2.3 電源構成に対するピン処理について | 6 |
| 2.4 ロジックについて | 6 |
| 2.5 絶対最大定格について | 7 |
| 2.6 静電気対策について | 7 |
| 2.7 洗浄について | 7 |
| 2.8 ロジック出力信号について | 7 |
| 3. 出力ピン配置・基本接続図 | 9 |
| 3.1 入出力ピン配置 | 10 |
| 3.2 基本接続図 | 11 |
| 3.2.1 単独使用時（正負両電源使用） | 11 |
| 3.2.2 単独使用時（片電源使用） | 12 |
| 3.2.3 三相システム構築時 | 13 |
| 4. 設定・制御について | 14 |
| 4.1 パラメータ制御方式 | 15 |
| 4.2 動作モード | 16 |
| 4.3 ロジック入出力インターフェース | 17 |
| 4.3.1 制御部 | 17 |
| 4.3.2 同期クロック（周波数同期） | 18 |
| 4.3.3 位相同期信号（位相同期） | 19 |
| 4.3.4 波形同期パルス | 20 |
| 4.3.5 ゲート/トリガ発振 | 21 |
| 4.3.6 外部リセット | 22 |
| 4.4 シリアル制御モード | 23 |
| 4.4.1 制御信号 | 23 |
| 4.4.2 タイミング | 23 |
| 4.4.3 メモリ（レジスタ）マップ | 24 |
| 4.4.4 レジスタ（主シンセサイザ） | 25 |

| | | |
|-------|---|----|
| 4.4.5 | レジスタ (FM・AM・OM副シンセサイザ) | 29 |
| 4.4.6 | 制御レジスタ(アドレス31)..... | 30 |
| 4.4.7 | 任意波形データ | 32 |
| 4.5 | シーケンスプログラムモード | 33 |
| 4.5.1 | 制御信号 | 33 |
| 4.5.2 | タイミング | 33 |
| 4.5.3 | メモリ(レジスタ)マップ | 33 |
| 4.5.4 | シーケンスステッププログラミング | 33 |
| 4.5.5 | シーケンスパラメータ | 34 |
| 4.5.6 | 次ステップ移行条件..... | 34 |
| 4.5.7 | シーケンス制御..... | 35 |
| 4.6 | シーケンス実行モード | 36 |
| 4.6.1 | 初期ステップ | 36 |
| 4.6.2 | ステップの実行..... | 36 |
| 5. | 応用操作例 | 37 |
| 5.1 | 変調・スイープ | 38 |
| 5.1.1 | 周波数変調 (FM変調)..... | 38 |
| 5.1.2 | 振幅変調 (AM変調) | 39 |
| 5.1.3 | オフセット変調 (OM変調) | 40 |
| 5.2 | 基準位相と初期位相の関係..... | 41 |
| 5.3 | モジュール間同期方法 | 42 |
| 5.4 | シーケンスプログラムと実行方法について | 46 |
| 6. | 仕様 | 48 |
| 6.1 | 絶対最大定格 | 49 |
| 6.2 | 電源電圧・電流 | 49 |
| 6.3 | 波形出力部仕様 | 50 |
| 6.3.1 | 両電源構成時 (AV _{SS} = -3.465 V~-2.850 V) | 50 |
| 6.3.2 | 片電源構成時 (AV _{SS} = 0 V)..... | 51 |
| 6.3.3 | 出力波形 | 51 |
| 6.4 | デジタル部仕様 | 52 |
| 6.4.1 | ロジックレベル..... | 52 |
| 6.4.2 | I/O Standard..... | 52 |
| 6.5 | インターフェース仕様 | 53 |
| 6.5.1 | モード切替..... | 53 |
| 6.5.2 | 制御部..... | 53 |
| 6.5.3 | 同期関連 | 54 |
| 6.5.4 | その他..... | 54 |
| 6.6 | 環境・外形・質量 | 56 |
| 6.6.1 | 環境 | 56 |
| 6.6.2 | モジュール外形..... | 56 |
| 6.6.3 | モジュール質量..... | 56 |
| 6.7 | 規格 | 56 |

| | |
|-----------------------|----|
| 7. 外形寸法図 | 57 |
| 7.1 モジュール外形寸法図 | 58 |
| 7.2 パターン寸法図 | 58 |
| 8. 標準データ | 59 |
| 8.1 標準データに関して | 60 |
| 8.2 ひずみ率対周波数特性 | 60 |
| 8.3 スペクトル対周波数特性 | 61 |
| 8.4 出力周波数対温度特性 | 62 |
| 8.5 出力電圧対温度特性 | 63 |
| 8.6 出力電圧対周波数特性 | 64 |
| 保証 | 65 |

付 図

| | ページ |
|---|-----|
| 図 1 ブロック図 | 3 |
| 図 2 基本接続図 (正負両電源使用) | 11 |
| 図 3 基本接続図 (片電源使用) | 12 |
| 図 4 三相システム構築時 | 13 |
| 図 5 周波数変更時の基準位相リセット有無 | 19 |
| 図 6 ゲート発振時 | 21 |
| 図 7 トリガ発振時 (3周期発振設定の場合) | 22 |
| 図 8 シリアル制御信号タイミング | 23 |
| 図 9 メモリ(レジスタ)マップ | 24 |
| 図 10 基準位相と各波形の関係 (初期位相0°, 振幅 +1.0, オフセット0.0) | 26 |
| 図 11 基準位相と各波形の関係 (初期位相0°, 振幅 -1.0, オフセット0.0) | 27 |
| 図 12 初期位相設定0°と90°の正弦波比較 | 41 |
| 図 13 初期位相設定0°, 120°, 240°の正弦波比較 | 41 |
| 図 14 複数モジュール間の接続 (三相システム時) | 42 |
| 図 15 波形タイムチャート | 51 |
| 図 16 ゲート発振時 | 55 |
| 図 17 トリガ発振時 | 55 |
| 図 18 モジュール外観寸法 | 58 |
| 図 19 パターン寸法図 | 58 |
| 図 20 ひずみ率対周波数特性 | 60 |
| 図 21 スプリアス対周波数特性 | 61 |
| 図 22 出力周波数変動対温度特性 | 62 |
| 図 23 出力電圧変動対温度特性 | 63 |
| 図 24 出力電圧偏差対周波数特性 | 64 |

付 表

| | ページ |
|---------------------------------------|-----|
| 表 1 アナログ部電源構成によるピン処理方法 | 6 |
| 表 2 I/O Standard (3.3 V LVCMOS) | 6 |
| 表 3 絶対最大定格 | 7 |
| 表 4 入出力ピン配置 | 10 |
| 表 5 動作モード選択 | 16 |
| 表 6 三線シリアルインタフェース | 17 |
| 表 7 シーケンス実行インターフェース | 17 |
| 表 8 同期クロック入出力信号 | 18 |
| 表 9 同期関連の入出力ピン | 20 |
| 表 10 波形同期パルス出力ピン | 20 |
| 表 11 ゲート/トリガ発振制御ピン | 21 |
| 表 12 絶対最大定格 | 49 |
| 表 13 電源電圧・電流 | 49 |
| 表 14 3.3 V LVCMOS | 52 |
| 表 15 モード切替 | 53 |
| 表 16 シリアル通信制御ピン | 53 |
| 表 17 シーケンス実行制御ピン | 53 |
| 表 18 同期関連 | 54 |
| 表 19 その他 | 54 |

1. 概 説

| | | |
|-----|-------------|---|
| 1.1 | 概要 | 2 |
| 1.2 | 特長 | 2 |
| 1.3 | 動作原理 | 3 |
| 1.4 | ブロック図 | 3 |

1.1 概要

「WS-251S3」は、DDS (Direct Digital Synthesizer: デジタル直接合成方式シンセサイザ) をベースにした信号発生モジュールです。

本モジュールは四つの基本波形と任意波形の選択や周波数、振幅、オフセットの内部変調が可能で、多彩な波形を出力できます。また内部メモリを利用して任意波形とシーケンスプログラムの書き込み、およびその実行ができます。周波数は高分解能で広範囲に設定できて且つ高精度です。

その他、初期位相の設定やモジュール間の同期機能を持っていますので、複数モジュールを用いることにより多相の波形を出力するシステムを構築することができます。

1.2 特長

- | | | |
|---|---------------------------|---|
| ① | 多彩な出力波形 | 正弦波, ランプ波, 三角波, 方形波, 任意波 |
| ② | 豊富な発振モード | |
| | ・変調 | 周波数変調(FM), 振幅変調(AM), オフセット変調(OM) 変調波形: 正弦波, ランプ波, 三角波, 方形波 |
| | ・バースト発振 | ゲート発振, トリガ発振, 連続バースト発振 |
| | ・シーケンス発振 | 最大 32 ステップ |
| ③ | 広い周波数設定範囲 | 0 Hz~12.5 MHz, 設定分解能: 44.409 nHz DDS 動作周波数 100 MHz 位相アキュムレータ 51 bit (上位 3 bit は 0 固定) |
| ④ | 高い周波数精度 | ±25 ppm 以内 |
| ⑤ | 高い位相設定分解能 | 0.343 m° |
| ⑥ | 高い波形振幅分解能 | 14 bit |
| ⑦ | 小型パッケージ | 47.5 mm×24.5 mm×7 mm |
| ⑧ | 広い動作温度範囲 | -20 °C~+70 °C |
| ⑨ | 外部周波数基準 10 MHz | に同期可能 |
| ⑩ | 複数モジュール同期による多相発振システムを構築可能 | |

1.3 動作原理

本製品は DDS をベースにした信号発生モジュールです。主信号を発生させる主シンセサイザと変調信号を発生させる三つの副シンセサイザから成り、副シンセサイザは主シンセサイザの一部として組み込まれています。主シンセサイザは主信号と変調信号の波形を合成した波形を出力します。

主シンセサイザを制御するパラメータは、周波数、初期位相、波形、振幅、オフセットがあります。周波数は、DDS コアの位相アキュムレータの増分である周波数レジスタです。この値に対し、副シンセサイザを使って周波数の加減算による合成ができます（周波数変調, FM）。

主信号の波形は関数ブロックによって生成され、正弦波、ランプ波、三角波、方形波が出力されます。また、本製品に任意波形データを書き込んで出力させることもできます。

ここまで合成された波形データに対し振幅値を乗じることで、振幅調整を行います。この振幅値に対し、副シンセサイザを使って振幅の加減算ができます（振幅変調, AM）。

振幅調整後に一定のオフセット値を加算することで、直流オフセット調整を行います。振幅同様、この直流オフセット値に副シンセサイザを使ってオフセットの加減算ができます（オフセット変調, OM）。

これらの処理を経たのち、DAC を駆動するデータとして出力します。

オフセットを加えずに振幅をフルスケールにした状態が DAC の分解能を最大限に有効活用できます。振幅やオフセットをコントロールすることは、S/N の低下、高調波やスプリアスの増加など波形の質の低下を伴う場合があります。

1.4 ブロック図

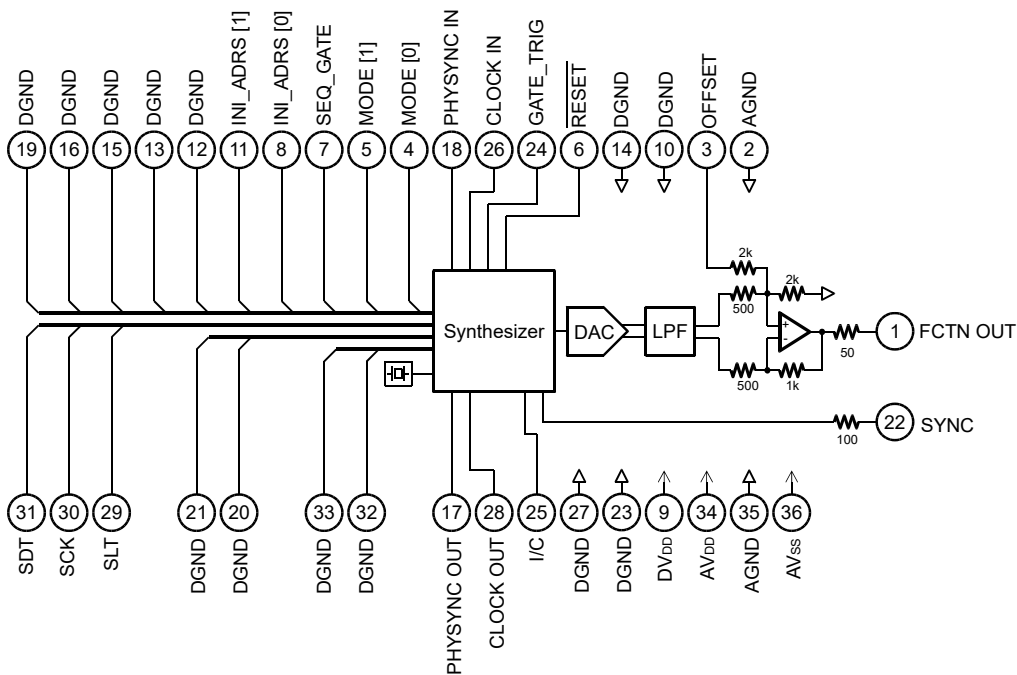


図 1 ブロック図

2. 使用前の準備

| | | |
|-----|------------------------|---|
| 2.1 | 外観の確認 | 5 |
| 2.2 | 電源について | 5 |
| 2.3 | 電源構成に対するピン処理について | 6 |
| 2.4 | ロジックについて | 6 |
| 2.5 | 絶対最大定格について | 7 |
| 2.6 | 静電気対策について | 7 |
| 2.7 | 洗浄について | 7 |
| 2.8 | ロジック出力信号について | 7 |

2.1 外観の確認

梱包箱の外側に異常な様子（傷やへこみなど）が見られましたら、製品を箱から取り出すときに、製品に影響していないかどうか十分に確認してください。

梱包箱から中身を取り出しましたら内容物を確認してください。製品の外観に異常な傷があるときは、当社または当社代理店にご連絡ください。

2.2 電源について

本モジュールはデジタル部とアナログ部に分かれており、デジタル部は +3.3 V の正電源を、アナログ部は ± 3.3 V の正負電源もしくは +3.3 V の正電源のみで動作します。

具体的な電圧範囲と消費電流は以下の通りです。

デジタル部

正電源電圧 DV_{DD} +3.3 V $\pm 5\%$ (+3.135 V \sim +3.465 V)
立ち上がり時間規定：10 ms 以下

消費電流 IDV_{DD} 200 mA max.

アナログ部

正電源電圧 AV_{DD} +2.850 V \sim +3.465 V

消費電流 $I_{AV_{DD}}$ 33 mA max. (無負荷時)

負電源電圧 AV_{SS} -3.465 V \sim -2.850 V

消費電流 $I_{AV_{SS}}$ 5 mA max. (無負荷時)

- DV_{DD} の電圧立ち上がりには時間規定があります。
電源投入から DV_{DD} の仕様電圧下限(+3.135 V)までを 10 ms 以下で立ち上げてください。10 ms 超の立ち上がり時間の場合はモジュールが正常に起動しない場合があります。
- DV_{DD} に対して電圧監視回路が内蔵されています。電源投入時は電圧監視回路によるリセットが解除された後でモジュールの動作を開始します。
- DV_{DD} , AV_{DD} と AV_{SS} それぞれに電源を割り当てることを推奨します。また、 AV_{DD} と AV_{SS} にはシリーズ電源などの低ノイズ電源の使用を推奨します。
- DV_{DD} と AV_{DD} は電源を共通化することができますが、 DV_{DD} のノイズが AV_{DD} に混入しないよう十分なノイズ対策をしてください。デジタル部の雑音がアナログ回路に回り込み、出力信号に影響を与える場合があります。
- AV_{SS} を使用せず、正電源のみの片電源構成で動作させる事ができます。この場合はシンセサイザ出力の基準電圧をプラス側にオフセットさせて動作しますので、出力波形には直流成分が重畳されます。

2.3 電源構成に対するピン処理について

本モジュールはアナログ部を両電源・片電源のいずれかの構成で使用しますが、どちらの場合もモジュールのピン処理（設定）が必要です。表 1に従ってモジュールのピンを処理してください。

表 1 アナログ部電源構成によるピン処理方法

| アナログ部電源 | ピン名称 | ピン番号 | 処理内容 |
|---------|------------------|------|-------------------------------|
| 両電源構成 | AV _{SS} | 36 | 負電源に接続 |
| | OFFSET | 3 | 2 pin の AGND と接続 |
| 片電源構成 | AV _{SS} | 36 | 35 pin の AGND と接続 |
| | OFFSET | 3 | 34 pin の AV _{DD} と接続 |

- シンセサイザ出力の基準電位は OFFSET ピン(3pin)に印加された電圧の半分となり、この基準電位が直流オフセット成分として出力波形に重畳されます。
- 上記設定時の基準電位は、両電源動作時は 0 V (AGND)、片電源動作時は AV_{DD} の半分の電圧になります。この電位を基準にして±1 V (無負荷時)の範囲に波形が出力されます。

2.4 ロジックについて

本モジュールのデジタル部で使用するロジックは 3.3 V LVCMOS です。

a) I/O Standard

本モジュールで使用するロジックの I/O Standard は 表 2の通りです。

表 2 I/O Standard (3.3 V LVCMOS)

| | | Min. | Typ. | Max. | Unit |
|-----------|------------------|-----------------------|--------|--------|------|
| 電源電圧 | DV _{DD} | +3.135 | +3.300 | +3.465 | V |
| 入力電圧 Low | V _{IL} | -0.3 | --- | +0.8 | V |
| 入力電圧 High | V _{IH} | +1.7 | --- | +3.6 | V |
| 出力電圧 Low | V _{OL} | --- | --- | +0.2 | V |
| 出力電圧 High | V _{OH} | DV _{DD} -0.2 | --- | --- | V |
| 出力電流 Low | I _{OL} | --- | --- | +2 | mA |
| 出力電流 High | I _{OH} | --- | --- | -2 | mA |

b) 入力ピン処理

本モジュールの以下のロジック入力ピンはモジュール内部で DV_{DD} へプルアップされています。(プルアップ抵抗値：7~34 kΩ)

- ゲート/トリガ発振入力ピン (24 pin)
- 同期クロック入力ピン (26 pin)

それ以外の入力ピンはプルアップ / プルダウンされていません。外部回路にてプルアップ / プルダウン (1~10 kΩ 程度) を行い、ロジックレベルの High / Low を確定させてください。

2.5 絶対最大定格について

本モジュールの絶対最大定格は表 3の通りです。

表 3 絶対最大定格

| | 最小値 | 最大値 | 単位 |
|-----------------|------|-----------------|----|
| デジタル部 | | | |
| 正電源電圧 DV_{DD} | -0.3 | +3.6 | V |
| ロジック入力電圧 | -0.3 | $DV_{DD} + 0.3$ | V |
| ロジック出力電流 | -25 | +25 | mA |
| アナログ部 | | | |
| 正電源電圧 AV_{DD} | -0.3 | +3.6 | V |
| 負電源電圧 AV_{SS} | -3.6 | +0.3 | V |
| オフセット入力電圧 | -0.3 | $AV_{DD} + 0.3$ | V |
| シンセサイザ出力電流 | -50 | +50 | mA |

上記の絶対最大定格を超えるストレスを加えると、製品に恒久的な損傷を与えることがあります。また、出力信号は GND と短絡しないようにしてください。

2.6 静電気対策について

静電気による破壊、劣化を防止するために下記項目を守ってください。

- 静電気を帯びやすい容器を用いた運搬・保存はしないでください。
- 組立作業時は使用する機器や人体を接地してください。帯電防止用リストバンドを使用し、作業台表面および作業台周囲に導電性マットを敷いて接地する事を推奨します。
- 素手で端子を触らないでください。
- 半田ごてを使用する場合は、こて先を接地してください。

2.7 洗浄について

部品実装後の基板洗浄について

- 超音波洗浄は禁止します。
- 洗浄液は IPA (イソプロピルアルコール) を推奨します。
- その他の洗浄液を使用する場合は、問題ないかを確認してください。

2.8 ロジック出力信号について

ロジック出力信号の短絡は許容されていません。出力短絡、または過負荷駆動は内部回路の損傷や特性劣化の原因になります。

△ 注 意

下記のような場所に組み込むことは避けてください。

- ・可燃性ガスのある場所
爆発の危険性があります。絶対に設置したり使用したりしないでください。
 - ・屋外や直射日光が当たる場所，火気や熱の発生源の近く
性能を満足しなかったり，故障の原因になります。
 - ・腐食性ガスや水気，塵や埃，塩気や油煙，金属粉などが多い場所
腐食したり，故障の原因になります。
 - ・振動が多い場所
誤動作や故障の原因になります。
 - ・電磁界発生源や高電圧機器，動力線，パルス性雑音源の近く
誤動作の原因になります。
-

3. 出力ピン配置・基本接続図

| | | |
|-------|---------------------|----|
| 3.1 | 入出力ピン配置 | 10 |
| 3.2 | 基本接続図 | 11 |
| 3.2.1 | 単独使用時（正負両電源使用）..... | 11 |
| 3.2.2 | 単独使用時（片電源使用）..... | 12 |
| 3.2.3 | 三相システム構築時..... | 13 |

3.1 入出力ピン配置

表 4 入出力ピン配置

| ピン番号 | 信号名 | 入出力*6 | 説明 |
|------|------------------|-------|--|
| 1 | FCTN OUT | O | シンセサイザ出力 |
| 2 | AGND | P | アナログ部グラウンド *7 |
| 3 | OFFSET | I | 電源構成による出力波形へのオフセット設定ピン アナログ両電源時：AGND ピンと短絡 (出力波形の基準電位が AGND になります) アナログ片電源時：AV _{DD} ピンと短絡 (出力波形の基準電位が AV _{DD} の半分の値にオフセット されます) |
| 4 | MODE [0] | I | 動作モード設定 0 (LSB) |
| 5 | MODE [1] | I | 動作モード設定 1 (MSB) |
| 6 | RESET | I | 外部からのリセット信号 (この信号のみ負論理) |
| 7 | SEQ_GATE | I | シーケンス実行時：シーケンスゲート |
| 8 | INI_ADRS [0] | I | シーケンス実行時：初期ステップ 0 (LSB) |
| 9 | DV _{DD} | P | デジタル部正電源 |
| 10 | DGND | P | デジタル部グラウンド *7 |
| 11 | INI_ADRS [1] | I | シーケンス実行時：初期ステップ 1 (MSB) |
| 12 | --- | - | 未使用ピン。DGND に接続してください |
| 13 | --- | - | 未使用ピン。DGND に接続してください |
| 14 | DGND | P | デジタル部グラウンド *7 |
| 15 | --- | - | 未使用ピン。DGND に接続してください |
| 16 | --- | - | 未使用ピン。DGND に接続してください |
| 17 | PHYSYNC OUT | O | 位相同期パルス出力 |
| 18 | PHYSYNC IN | I | 位相同期パルス入力 |
| 19 | --- | - | 未使用ピン。DGND に接続してください |
| 20 | --- | - | 未使用ピン。DGND に接続してください |
| 21 | --- | - | 未使用ピン。DGND に接続してください |
| 22 | SYNC | O | 出力波形との同期パルス。外部測定器のトリガ用途等 |
| 23 | DGND | P | デジタル部グラウンド *7 |
| 24 | GATE_TRIG | I | ゲート発振・トリガ発振用途入力 |
| 25 | I/C *8 | - | 外部からの接続禁止 |
| 26 | CLOCK IN | I | 外部クロック同期用入力 |
| 27 | DGND | P | デジタル部グラウンド *7 |
| 28 | CLOCK OUT | O | 外部クロック同期用出力 |
| 29 | SLT | I | シリアル通信時：ラッチパルス |
| 30 | SCK | I | シリアル通信時：シフトクロック |
| 31 | SDT | I | シリアル通信時：データ |
| 32 | --- | - | 未使用ピン。DGND に接続してください |
| 33 | --- | - | 未使用ピン。DGND に接続してください |
| 34 | AV _{DD} | P | アナログ部正電源 |
| 35 | AGND | P | アナログ部グラウンド *7 |
| 36 | AV _{SS} | P | アナログ部負電源 |

*6) I: Input, O: Output, P: Power

*7) DGND と AGND はモジュール内で接続されています

*8) I/C: Internal Connection, 製造用途で内部接続されているため、外部接続を禁止します

3.2 基本接続図

3.2.1 单独使用时（正負両電源使用）

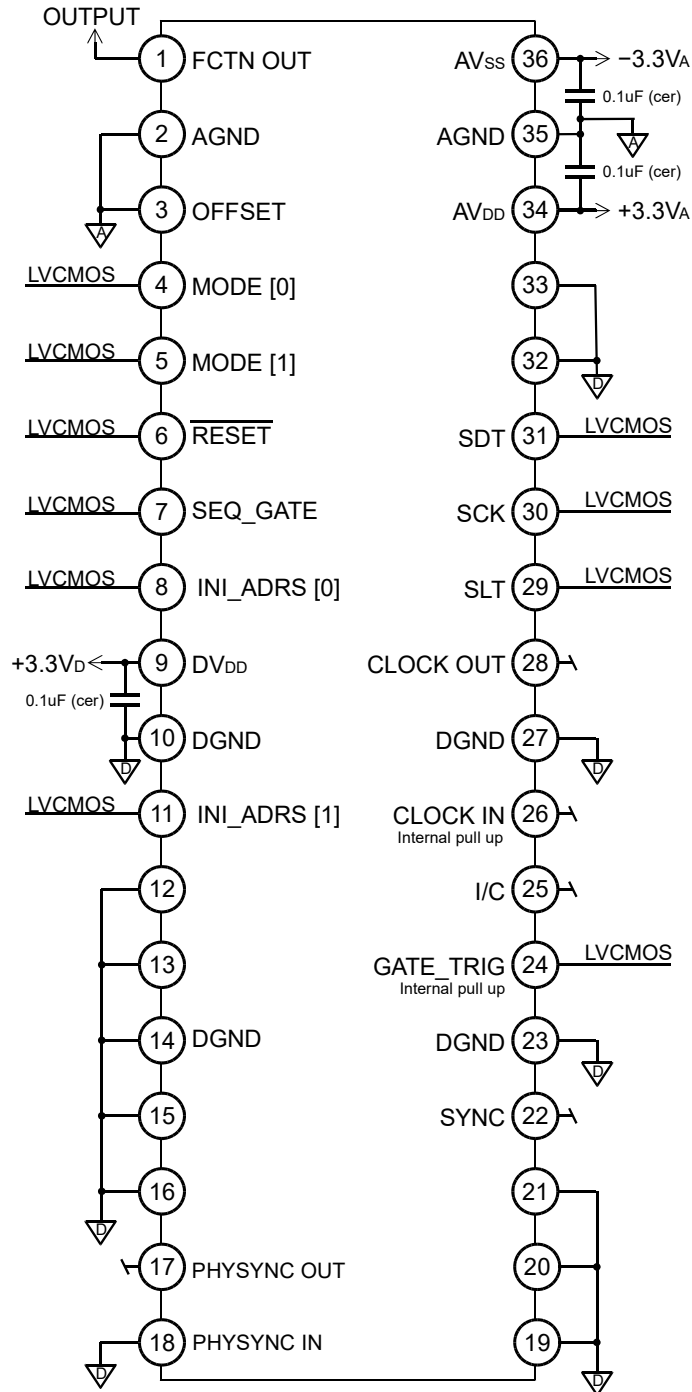


図 2 基本接続図（正負両電源使用）

3.2.2 单独使用時 (片電源使用)

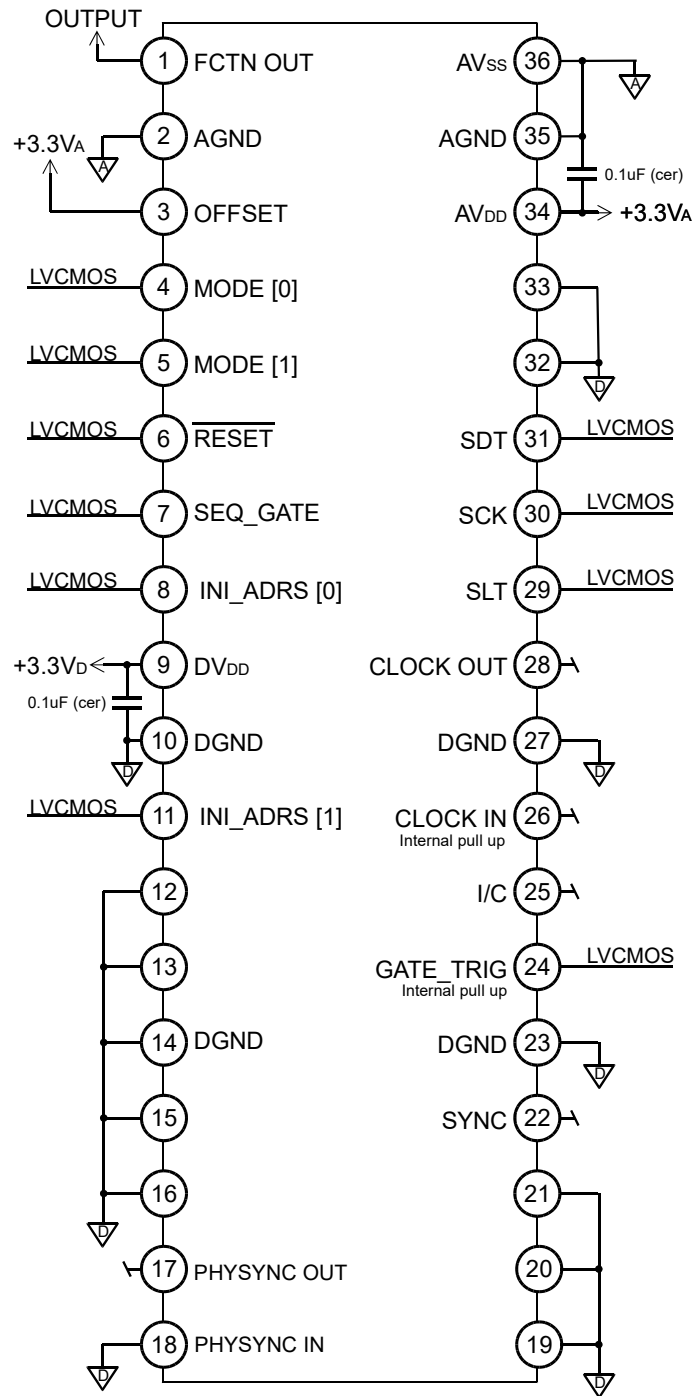


図 3 基本接続図 (片電源使用)

3.2.3 三相システム構築時

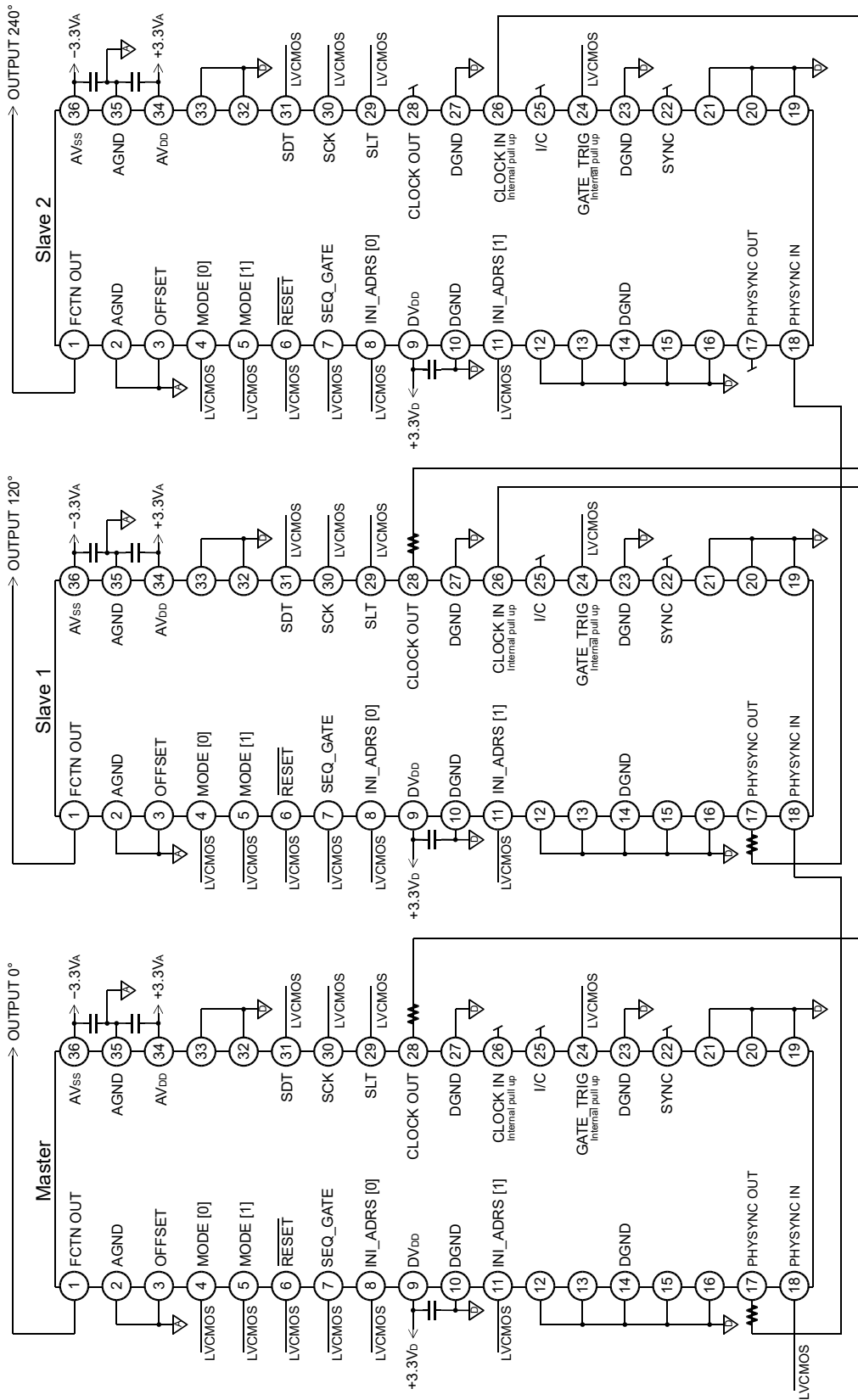


図 4 三相システム構築時

4. 設定・制御について

| | | |
|-------|------------------------------|----|
| 4.1 | パラメータ制御方式 | 15 |
| 4.2 | 動作モード | 16 |
| 4.3 | ロジック入出力インターフェース | 17 |
| 4.3.1 | 制御部 | 17 |
| 4.3.2 | 同期クロック (周波数同期) | 18 |
| 4.3.3 | 位相同期信号 (位相同期) | 19 |
| 4.3.4 | 波形同期パルス | 20 |
| 4.3.5 | ゲート/トリガ発振 | 21 |
| 4.3.6 | 外部リセット | 22 |
| 4.4 | シリアル制御モード | 23 |
| 4.4.1 | 制御信号 | 23 |
| 4.4.2 | タイミング | 23 |
| 4.4.3 | メモリ(レジスタ)マップ | 24 |
| 4.4.4 | レジスタ (主シンセサイザ) | 25 |
| 4.4.5 | レジスタ (FM・AM・OM副シンセサイザ) | 29 |
| 4.4.6 | 制御レジスタ(アドレス31) | 30 |
| 4.4.7 | 任意波形データ | 32 |
| 4.5 | シーケンスプログラムモード | 33 |
| 4.5.1 | 制御信号 | 33 |
| 4.5.2 | タイミング | 33 |
| 4.5.3 | メモリ(レジスタ)マップ | 33 |
| 4.5.4 | シーケンスステッププログラミング | 33 |
| 4.5.5 | シーケンスパラメータ | 34 |
| 4.5.6 | 次ステップ移行条件 | 34 |
| 4.5.7 | シーケンス制御 | 35 |
| 4.6 | シーケンス実行モード | 36 |
| 4.6.1 | 初期ステップ | 36 |
| 4.6.2 | ステップの実行 | 36 |

4.1 パラメータ制御方式

- 本モジュールの波形パラメータ設定は三線シリアル通信により行います。
- 主信号として周波数, 初期位相, 振幅, オフセット, 波形選択, 発振モード, 発振波数(マーク波数), 停止波数(スペース波数)の設定が可能です。

周波数 : 48bit で 0 Hz~12.5 MHz を設定
 初期位相 : 20bit で $0 \sim 2\pi$ rad ($0^\circ \sim 360^\circ$) を設定
 振幅 : 18bit で $-1 \sim +1$ を設定
 (±1 が DAC 出力の最大振幅。マイナスは波形反転)
 オフセット : 14bit で $-1 \sim +1$ を設定
 (±1 が DAC 出力の最大値 / 最小値 = ±1 V)
 波形選択 : 3bit で 正弦波, ランプ波, 三角波, 方形波, 任意波 を選択
 発振モード : 2bit で 連続発振, ゲート発振, トリガ発振, マーク・スペース連続バースト発振 を選択
 発振波数 : 8bit で 1~256 波数を設定 (設定値+1 が発振波数)
 停止波数 : 8bit で 1~256 波数を設定 (設定値+1 が停止波数)

- 副信号(変調波形)として周波数, 最大周波数偏移, 振幅, 波形選択, 初期位相の設定が可能です。

周波数 : 48bit で 0 Hz~12.5 MHz を設定
 最大周波数偏移 : 48bit で -6.25 Hz~ $+6.25$ MHz を設定 (FM 変調)
 振幅 : 18bit で $-1 \sim +1$ を設定 (AM, OM 変調)
 波形選択 : 2bit で 正弦波, ランプ波, 三角波, 方形波 を選択
 初期位相 : 3bit で $0^\circ, 90^\circ, 180^\circ, 270^\circ, 60^\circ, 120^\circ, 240^\circ, 300^\circ$ を選択

4.2 動作モード

本モジュールはシリアル制御モード、シーケンスプログラムモードとシーケンス実行モードの三種類の動作モードを備えています。

- シリアル制御モード

三線シリアル通信によりメモリマップへ各種波形パラメータを設定し、波形を出力します。また任意波形のデータを書き込んで出力させる事ができます。
- シーケンスプログラムモード

三線シリアル通信により最大 32 ステップのシーケンスをプログラムする事ができます。またシリアル通信によりプログラムしたシーケンスを実行する事ができます。ステップを進める条件としてはプログラムされた設定時間経過、シリアル通信によるレジスタ設定、及びこれら二つの条件の AND と OR が選択できます。
- シーケンス実行モード

シーケンスプログラムモードにてプログラムしたシーケンスを実行する事ができます。モジュールの入力ピンへの High/Low ロジックレベル印加による初期ステップの指定と次ステップの切替設定ができます。ステップを進める条件としてはプログラムされた設定時間経過、モジュール入力ピンへのロジックレベル制御、及びこれら二つの条件の AND と OR が選択できます。

これらの動作モードはパワーオンリセット解除時と外部リセット信号解除時における次の入力信号の状態によって決まります。

表 5 動作モード選択

| 設定項目 | 信号バス名 *1 | 設定値 (二進数) | 設定状態 |
|-------|------------|--------------|---------------|
| 動作モード | Mode [0-1] | 00 | シリアル制御モード |
| | | 01 | シーケンスプログラムモード |
| | | 10 | Reserved |
| | | 11 | シーケンス実行モード |

*1) バスの信号[0]～[N]は、[0]が LSB です。

動作モードを切り替えるときは外部リセット信号を印加した状態で Mode [0-1] を設定して、外部リセット信号を解除する事で行います。

4.3 ロジック入出力インターフェース

4.3.1 制御部

a) シリアル制御モード，シーケンスプログラムモード

シリアル制御モード，シーケンスプログラムモードでは，三線シリアル通信を行うためのピンが用意されています。

表 6 三線シリアルインタフェース

| 信号名 | ピン名称 | 入出力 | 説明 |
|---------|------|-----|---|
| ラッチパルス | SLT | 入力 | パルスの立ち上がりで取り込んだデータを確定します (ラッチパルス=High のとき，シフトクロックは無視されます) |
| シフトクロック | SCK | 入力 | クロックの立ち上がりでデータを取り込みます |
| データ | SDT | 入力 | 全 32 bit (MSB から送信) |

モジュールからのリードバック機能やステータス確認用のピンの用意はありませんので注意してください。

b) シーケンス実行モード

シーケンス実行モードではシーケンス実行に必要な High/Low 設定ピンが用意されています。

表 7 シーケンス実行インターフェース

| 信号名 | ピン名称 | 入出力 | 説明 |
|----------|--------------------------|-----|---|
| シーケンスゲート | SEQ_GATE | 入力 | 次のステップへ進む条件の制御を行います [レベル制御時] Low: 条件を満たさない High: 条件を満たす [エッジ制御時] 立ち上がりエッジ: 条件を満たす それ以外 : 条件を満たさない |
| 初期ステップ | INI_ADRS_0 INI_ADRS_1 | 入力 | 2 bit の信号を用いて初期ステップを指定します 00: ステップ 0 01: ステップ 1 10: ステップ 2 11: ステップ 3 |

4.3.2 同期クロック（周波数同期）

a) 同期クロック入出力信号

本モジュールは内蔵している周波数基準を用いて動作しますが、外部の 10 MHz 周波数基準に同期して動作する機能があります。またモジュールが使用している周波数基準を元に 10 MHz のロジック信号を出力する機能があります。

この機能は複数台モジュール用いてモジュール間の周波数同期を取る場合、あるいは外部の装置と周波数同期を取る場合などに使用します。

同期クロック入出力信号の説明は 表 8 の通りです。

表 8 同期クロック入出力信号

| 信号名 | ピン名称 | 入出力 | 説明 |
|--------|-----------|-----|---|
| 同期クロック | CLOCK IN | 入力 | 10 MHz \pm 1 kHz (立ち上がりエッジで同期) デューティ比 40~60% |
| | CLOCK OUT | 出力 | 10 MHz, デューティ比 45~55% |

- 入力信号はモジュール内部で DV_{DD} (+3.3 V) ヘプルアップされています。
周波数同期機能を使用しない場合は入力ピンを開放状態にしてください。

入力ピンに同期クロックが入力されると自動的に内蔵周波数基準から同期クロックを用いた動作に切り替わります。モジュールは入力されている同期クロックの周波数が 10 MHz であるとして動作します。例えば同期クロックの周波数が 10.001 MHz であるときにモジュールの出力設定を 10 MHz にすると、シンセサイザ出力の周波数は 10.001 MHz になります。

同期クロックが入力されているときの入出力ピン間の遅延時間は約 3 ns です。

b) マスタモジュールとスレーブモジュール

同期クロックが入力されていないモジュールはマスタモジュールとして動作し、次項4.3.3で説明する位相同期出力信号を用い、スレーブモジュールに対して設定更新・基準位相初期化のタイミングを指示することができます。

同期クロックが入力されているモジュールはスレーブモジュールとして動作します。

1 台での動作であっても同期クロックを入力している場合は、スレーブモジュールとして動作します。

4.3.3 位相同期信号 (位相同期)

前節4.3.2では周波数同期について記述しましたが、複数モジュールを用いて多相システムを構築するためにはそれぞれのモジュールの基準位相も合わせる必要があります。周波数と位相の基準を合わせた上で、マスタモジュールとスレーブモジュールの初期位相を異なる設定にすると、位相差を制御した多相出力を得る事ができます。

基準位相とは DDS の動作基準となる位相アキュムレータの値です。初期位相とは基準位相に加算される位相の値です。

マスタモジュールの位相同期出力信号はスレーブモジュールの (周波数設定を含む) レジスタ設定の更新・基準位相リセットのタイミングを指示することができ、スレーブモジュールはその信号を受信してレジスタ設定の更新・基準位相リセットを行います。

マスタモジュールはスレーブモジュールへの指示と同時に、自身のレジスタ設定の更新・基準位相リセットを行うので、複数モジュールの周波数と位相リセットタイミングを管理することが可能になります。

レジスタ設定により位相リセットを伴わない波形パラメータ変更も可能です。

a) 位相リセット時の波形

基準位相リセットを伴う周波数変更と基準位相リセットを伴わない周波数変更の違いを、初期位相 0° の正弦波を例に 図 5 に示します。

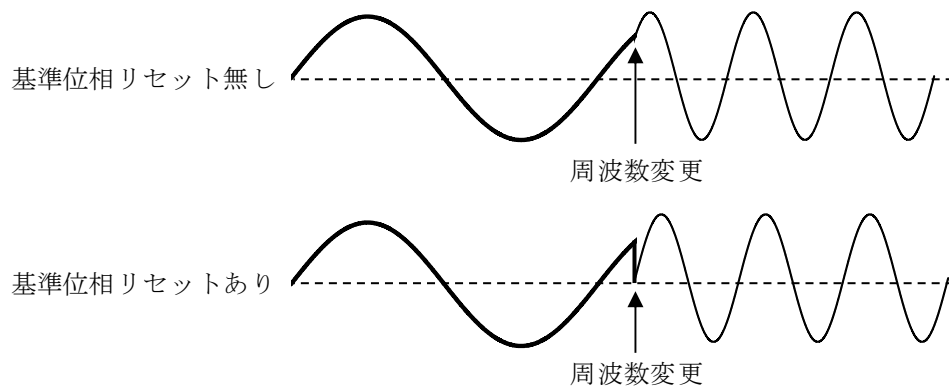


図 5 周波数変更時の基準位相リセット有無

b) レジスタ設定と位相リセットの更新方法

本節で説明している位相同期信号によるレジスタ設定更新・基準位相リセット機能は、レジスタアドレス 31, bit 7 (設定更新方法の選択) により有効・無効化の設定ができます。該当ビットが 1 のときに表 9 の機能が有効になります。

また表 9 における入力ピンの機能はシリアル制御モードでのみ有効です。シーケンス実行中はレジスタアドレス 31, bit 7 の設定によらず無効となります。

レジスタアドレス 31 の制御ビットについては「4.4.6 制御レジスタ」の説明を参照してください。モジュール間の同期方法については「5.3 モジュール間同期方法」を参照してください。

表 9 同期関連の入出力ピン

| 信号名 | ピン名称 | 入出力 | 説明 |
|--------|-------------|-----|---|
| 位相同期信号 | PHYSYNC IN | 入力 | 立ち上がり / 立ち下がりエッジ : レジスタアドレス 31, bit 0-5 の設定値を更新します (bit 0 : レジスタ全体の設定更新 bit 1-5 : 主・副シンセサイザの基準位相リセット設定) |
| | PHYSYNC OUT | 出力 | PHYSYNC IN 信号をそのまま出力 マスタモジュールの場合はレジスタのアドレス 31, bit 7 の設定を 1 に設定すると、15 us 幅のパルスを出力します (bit 7 : 設定更新方法の選択) |

- 未使用の PHYSYNC IN 端子は DGND へ接続してください。
- PHYSYNC IN 端子をロジック制御する場合はロジック Low を通常状態にしてください。

位相同期信号入出力ピン間の遅延時間は約 10 ns です。

4.3.4 波形同期パルス

本モジュールは主シンセサイザ出力に同期したデューティ比 50% のロジック信号を出力するピンを備えています。信号立ち上がりタイミングは基準位相 0° で、立ち下がりタイミングは基準位相 180° です。この信号は低周波数信号出力時の外部測定器トリガ用途を想定しています。10 ns p-p 程度のジッタが含まれるので高周波数信号出力時の使用には注意してください。

なお、本信号を変調波形に同期させる事はできません。

表 10 波形同期パルス出力ピン

| 信号名 | ピン名称 | 入出力 | 説明 |
|---------|------|-----|---|
| 波形同期パルス | SYNC | 出力 | 主シンセサイザの基準位相 0° で立ち上がるデューティ比 50% のパルス。低周波数信号出力時の外部測定器トリガ用途です。 |

4.3.5 ゲート/トリガ発振

本モジュールの発振モードには連続発振、ゲート発振、トリガ発振、マーク・スペース連続バースト発振の四種類があります。このうちゲート発振、トリガ発振の動作を制御する入力ピンを備えています。

表 11 ゲート/トリガ発振制御ピン

| 信号名 | ピン名称 | 入出力 | 説明 |
|---------|-----------|-----|---|
| ゲート/トリガ | GATE_TRIG | 入力 | <p>[ゲート発振設定時] ロジックが High になると基準位相 0° から発振を開始し, Low になると基準位相 0° で発振を停止します。</p> <p>[トリガ発振設定時] ロジックの立ち上がりエッジを検知すると設定された周期の波形を出力し, 基準位相 0° で発振を停止します。</p> <p>[連続発振・バースト発振設定時] ロジックの状態は無視され, 出力は常に有効となります。</p> |

- 基準位相とは DDS の動作基準となる位相アキュムレータの値です。

図 6 / 図 7に初期位相 0° の場合のゲート/トリガ信号と出力信号の関係を、正弦波出力を例にタイムチャートで示します。(初期位相とは基準位相に加算される位相の値です)

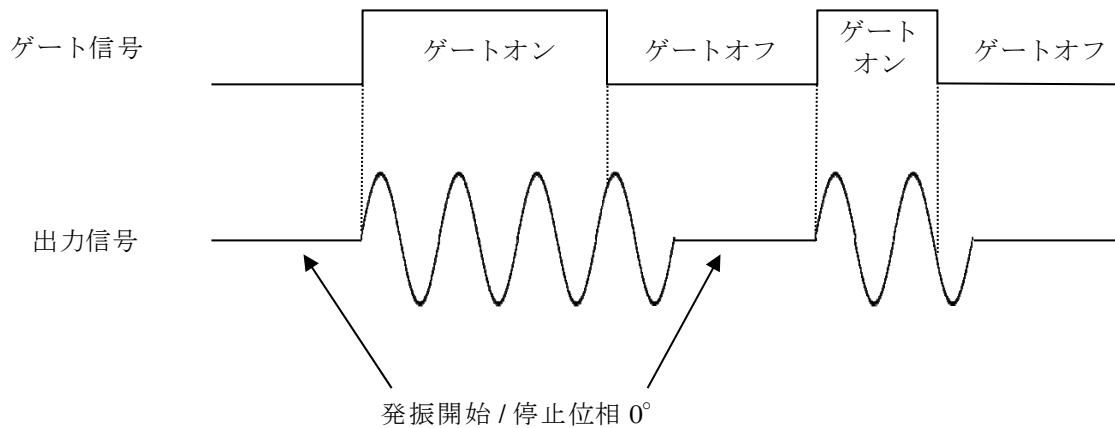


図 6 ゲート発振時

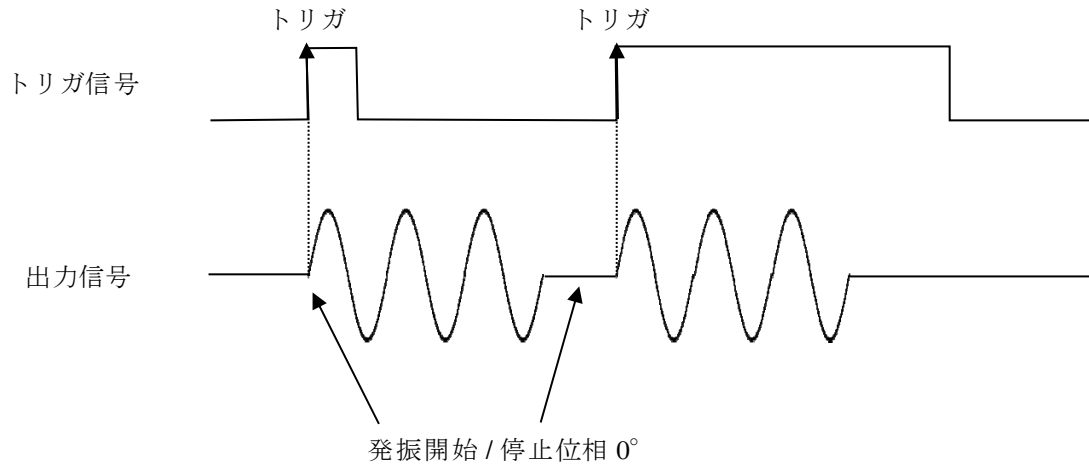


図 7 トリガ発振時 (3 周期発振設定の場合)

ゲート/トリガ発振は設定を **Low** から **High** にしてから約 **150 ns** 後に発振を開始します。

またゲート発振の場合は設定を **High** から **Low** にして約 **120 ns** 経った状態を基準に、次の基準位相 0° の位置で停止します。基準位相 0° 直前でゲート/トリガ信号を **Low** にしても **120 ns** 後の状態が基準位相 0° を超していた場合、シンセサイザ出力は次の基準位相 0° まで発振を続けますので注意してください。

4.3.6 外部リセット

本モジュールにはリセット端子が用意されており、4.2節で説明した動作モードを切り替える際に使用します。この信号は負論理です。ロジック **Low** のときがリセット状態で、波形の振幅がゼロになり、波形同期パルス出力が **Low** になります。また、シリアル通信による各種設定は受け付けません。

ロジック **High** に戻ると動作モード、レジスタ設定を確認して設定に沿った動作を行います。

4.4 シリアル制御モード

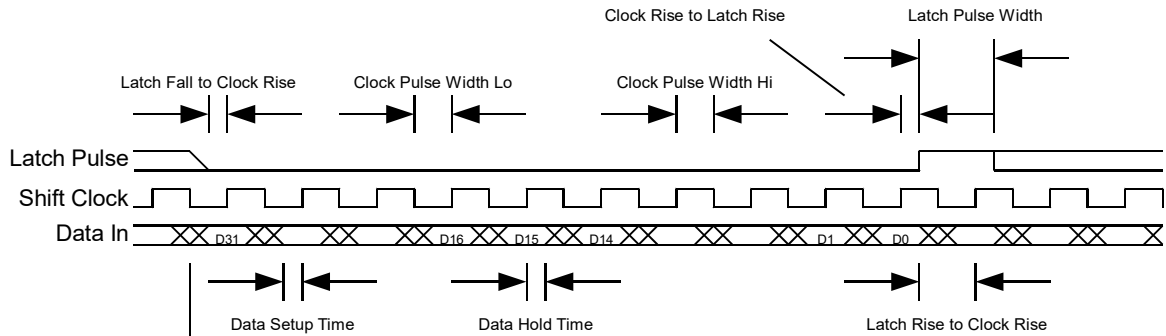
4.4.1 制御信号

シリアル通信は三線シリアル方式で、データ長は 32 ビットです。

| | |
|---------|---|
| シフトクロック | クロックの立ち上がりでデータを取り込む (シフトレジスタ) |
| ラッチパルス | パルスの立ち上がりで取り込んだデータを確定させる (ラッチパルス=High のとき、シフトクロックは無視される) |
| データ(入力) | 全 32 ビット (MSB から送信) |

モジュールからのリードバック機能やステータス確認用のピンの用意はありませんので注意してください。

4.4.2 タイミング



| | |
|--------------------------|-----------|
| Clock Pulse Width Hi | 20 ns min |
| Clock Pulse Width Lo | 20 ns min |
| Data Setup Time | 15 ns min |
| Data Hold Time | 15 ns min |
| Latch Pulse Width | 20 ns min |
| Clock Rise to Latch Rise | 15 ns min |
| Latch Fall to Clock Rise | 15 ns min |
| Latch Rise to Clock Rise | 15 ns min |

図 8 シリアル制御信号タイミング

4.4.3 メモリ(レジスタ)マップ

レジスタアドレス毎の設定ビットは図 9のように定義されています。
シリアル制御モード，シーケンスプログラムモードの両動作モード共通です。

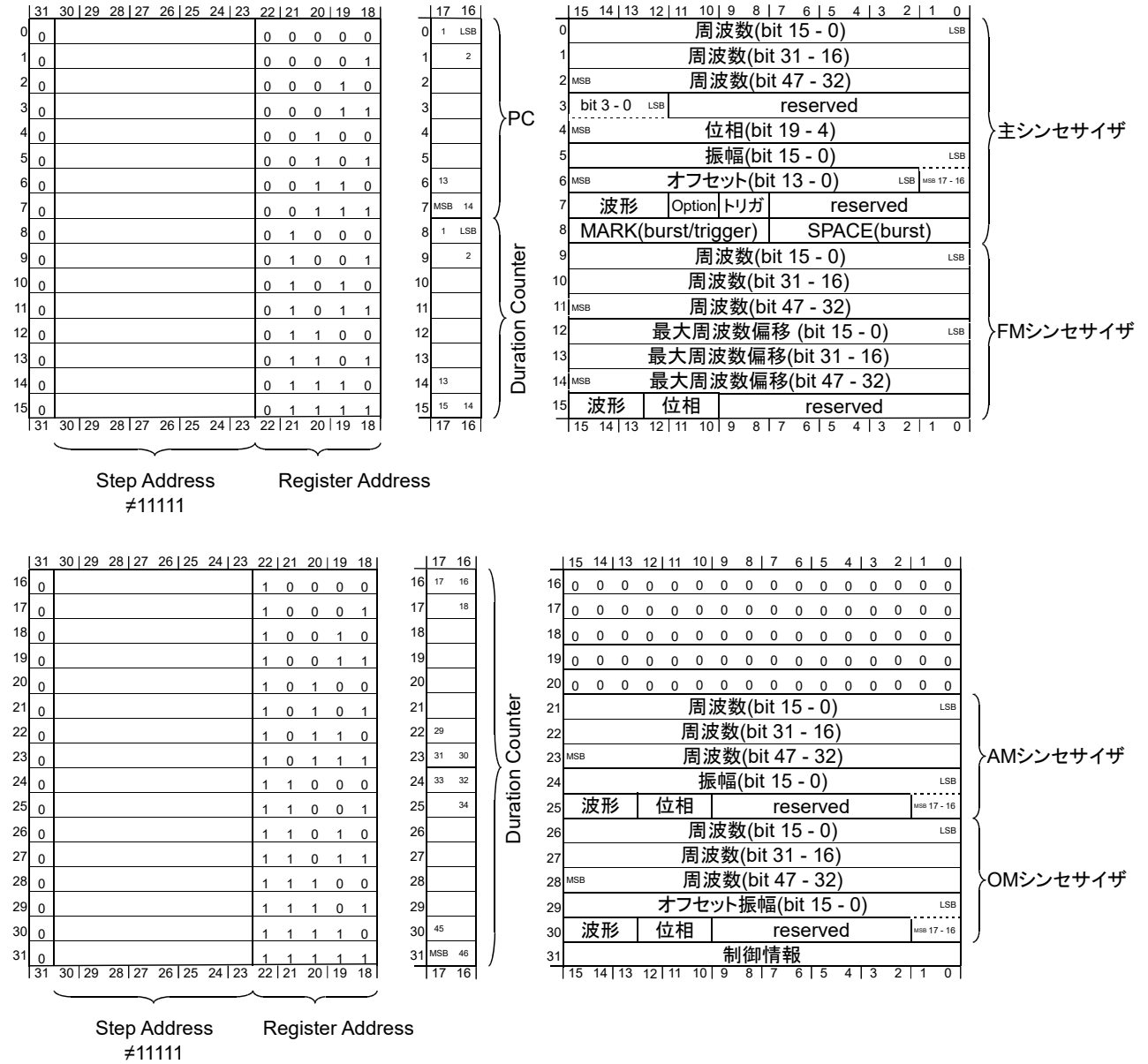


図 9 メモリ(レジスタ)マップ

全アドレスのビット 31 は 0 固定です。

ビット 30-23, ビット 17, ビット 16 は, シーケンスプログラムモードの場合のみ有効となりシリアル制御モードでは無視されます。

4.4.4 レジスタ (主シンセサイザ)

a) 周波数

48 ビット周波数レジスタで信号の主周波数です。MSB のウェイトは 6.25 MHz です。

設定分解能は約 44.409 nHz (正確には $100 \text{ MHz} \times 2^{-51}$) で、全ビットを 1 にした時の周波数は約 12.5 MHz (正確には $12.5 \text{ MHz} - 100 \text{ MHz} \times 2^{-51}$) となります。

また、0 Hz を設定すると設定された時点の位相で固定されます。位相が固定されると主シンセサイザ設定による出力は直流になります。

b) 初期位相

20 ビット位相レジスタで、DDS の動作基準となる位相アキュムレータからの位相シフト量です。MSB のウェイトは π 、全ビットを 1 にした時の位相は $2\pi \times (1 - 2^{-20})$ です。

複数モジュールを同期させた多相システムを組んだ際に相間の位相差の設定に使用します。また外部信号とのタイミングを合わせるための調整にも使用できます。

c) 振幅

18 ビット振幅レジスタでフルスケール波形データ(無負荷時で 2.0 V_{p-p} 出力相当) への乗数です。2 の補数表現の固定小数点数で、MSB は符号、その次のビットが 1.0 のウェイトです。振幅に負の値を設定すると、波形を反転させることができます。

振幅設定は ± 1.0 超の値を表現できますが、波形の符号反転が起こりますので ± 1.0 を超える値は設定しないでください。また、次項目のオフセット値との合算が ± 1.0 の範囲に収まるように設定してください。

d) オフセット

14 ビットオフセットレジスタで波形データへの加数です。2 の補数表現の固定小数点数で、MSB は符号と 1.0 のウェイトです。-1.0 から +0.999 877 929 687 5 ($= 1.0 - 2^{-13}$) が表現できます。 ± 1.0 の設定はフルスケール波形データの最大・最小値にあたり、シンセサイザ出力の基準電位から見て $\pm 1.0 \text{ V}$ の直流オフセットに相当します(無負荷時)。

前項目の振幅設定値との合算が ± 1.0 の範囲に収まるように設定してください。この範囲を超えると波形の符号反転が起こりますので注意してください。

e) 波形

4ビットの波形選択レジスタです。有効なのは下位3ビットで最上位ビットは無視されます。波形の割り当ては以下の通りです。

| | |
|------|-------------------------|
| X000 | 正弦波 |
| X001 | 立ち上がりランプ波 (振幅設定が正の値のとき) |
| X010 | 三角波 |
| X011 | 方形波 |
| X100 | Memory0 |
| X101 | Memory1 |
| X110 | Memory2 |
| X111 | Memory3 |

Memory0-3 は任意波形で、波形データはシリアル通信により書き込むことができます。書式は「4.4.7 任意波形データ」を参照してください。

任意波形データ以外の波形について、主シンセサイザの初期位相 0° 、振幅 $+1.0$ 、オフセット 0.0 、変調設定なしのときに、基準位相・波形同期パルスと各波形がどのような関係にあるかのタイムチャートを図 10に示します。

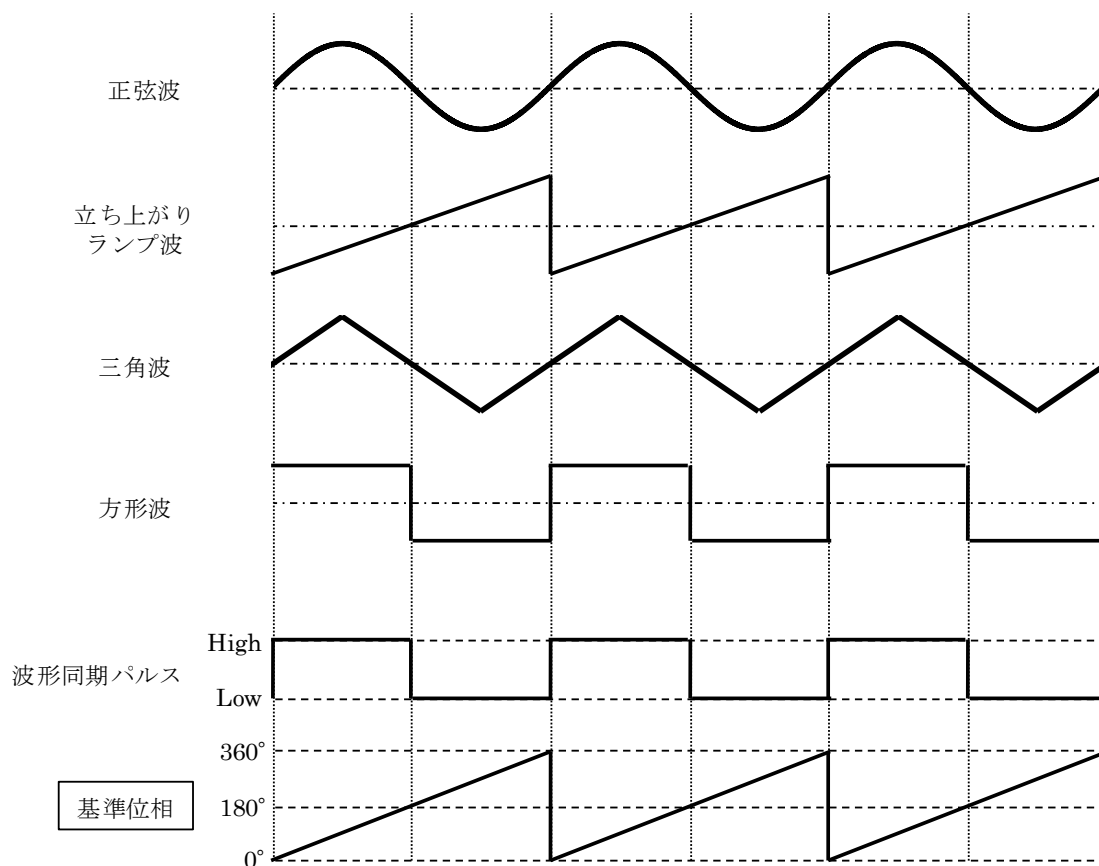


図 10 基準位相と各波形の関係 (初期位相 0° 、振幅 $+1.0$ 、オフセット 0.0)

4.3.4項で説明した波形同期パルスはレジスタで設定する初期位相の設定は反映されず、常に主シンセサイザの基準位相 0° と 180° のタイミングで信号レベルが変化します。したがって波形同期パルスを用いることで主シンセサイザの基準位相と主シンセサイザ出力波形の位相を比較することができます。

次に振幅設定を-1.0にして波形を反転させた場合のタイムチャートを図 11 に示します。

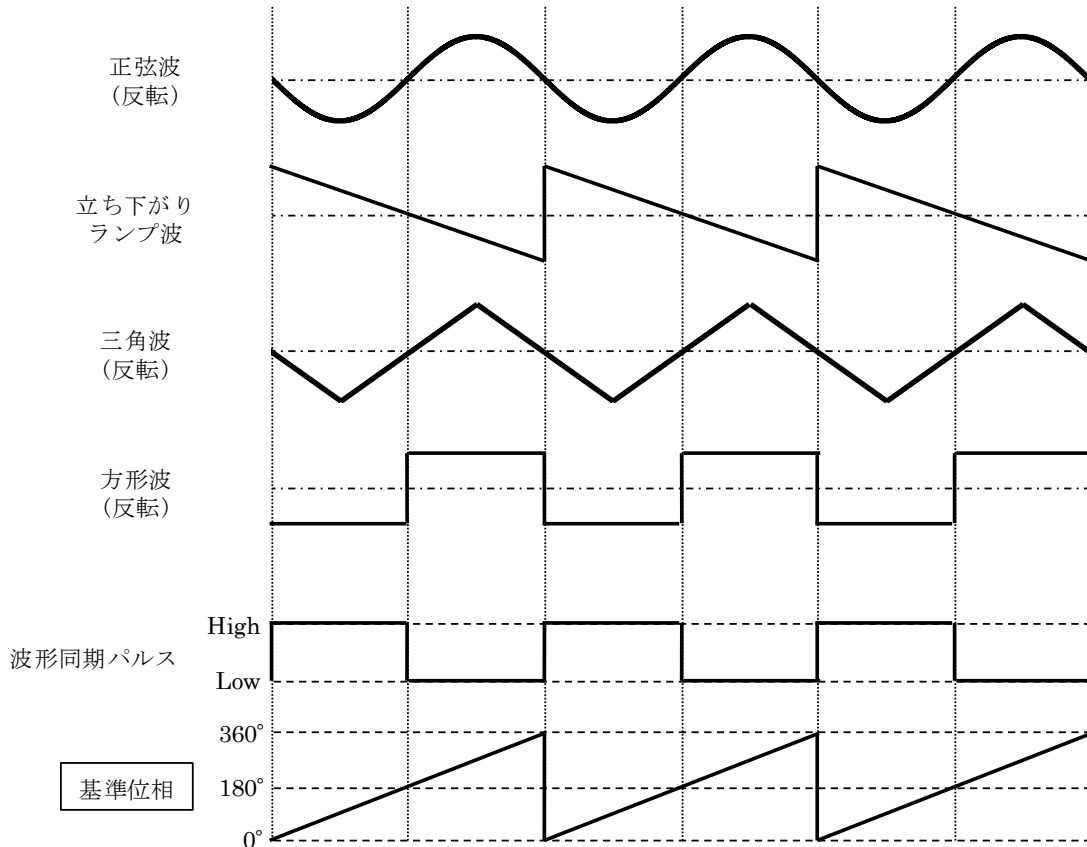


図 11 基準位相と各波形の関係 (初期位相 0° , 振幅 -1.0, オフセット 0.0)

立ち上がりランプ波が反転することにより立ち下がりランプ波となります。

f) トリガ

主シンセサイザ動作モードの設定で、2 ビットの発振モードレジスタです。以下の通り機能が割り当てられています。

00 連続発振

設定された波形を繰り返し、連続で出力します。ゲート/トリガ信号入力ピンの状態には依存しません。

01 ゲート発振

ゲート/トリガ信号入力ピンが **High** になると設定された波形を基準位相 0° から発振開始し、**Low** になると基準位相 0° で発振停止します。

10 トリガ発振

ゲート/トリガ信号入力ピンの立ち上がりエッジを検知すると設定された発振波数だけ波形を出力したのち、基準位相 0° で発振を停止します。

11 マーク・スペース連続バースト発振

設定された発振波数の波形を出力し、設定された停止波数の間は出力を停止することを繰り返します。ゲート/トリガ信号入力ピンの状態には依存しません。

g) トリガオプション

主シンセサイザ動作停止時の副シンセサイザ動作を設定する、2 ビットの発振モードレジスタです。AM・OM 変調時における副シンセサイザ動作モードの設定となり、以下の通り機能が割り当てられています。

00 主シンセサイザ停止中も副シンセサイザ(変調)は連続動作する

01 主シンセサイザ停止中は、副シンセサイザの DDS 位相を位相シフタの入力部で強制的に 0 にする (ただし副シンセサイザの動作自体は継続)

10 主シンセサイザ停止中は、副シンセサイザの DDS 位相を主シンセサイザ停止時の値に固定する (ただし副シンセサイザの動作自体は継続)

11 主シンセサイザ停止中は副シンセサイザの DDS 位相を 0 クリアする(副シンセサイザの動作も停止)

h) 発振波数 (MARK)

8 ビットのマークカウントレジスタです。トリガ発振とマーク・スペース連続バースト発振時の発振サイクル数を指定することができ、(設定値+1) サイクル発振します。

0~255 のレジスタ設定値で 1~256 サイクルの発振を指定します。

i) 停止波数 (SPACE)

8 ビットのスペースカウントレジスタです。マーク・スペース連続バースト発振時の発振停止サイクル数を指定することができ、(設定値+1) サイクル停止します。

0~255 のレジスタ設定値で 1~256 サイクルの停止を指定します。

4.4.5 レジスタ (FM・AM・OM 副シンセサイザ)

a) 周波数

48 ビット周波数レジスタで、FM・AM・OM 各変調の変調周波数です。値の表現は「4.4.4 レジスタ(主シンセサイザ)」の周波数と同じです。

b) 最大周波数偏移 (FM 副シンセサイザのみ)

48 ビット最大周波数偏移レジスタで、FM 変調時の周波数偏移幅です。値は 48 ビットで 2 の補数表現にて表されます ($-6.25 \text{ MHz} \sim [+6.25 \text{ MHz} - 100 \text{ MHz} \times 2^{-51}] \text{ MHz}$)。

シンセサイザ全体が出力する信号の周波数は、

$$\text{主シンセサイザの周波数} + \text{FM 波形関数値}(-1 \sim +1) \times \text{FM 最大周波数偏移}$$

となります。

c) 振幅 (AM 副シンセサイザのみ)

18 ビット振幅レジスタで、AM 変調時の振幅です。値の表現は「4.4.4 レジスタ(主シンセサイザ)」の振幅と同じです。

シンセサイザ全体が出力する信号の振幅は、

$$\text{主シンセサイザの振幅} + \text{AM 波形関数値}(-1 \sim +1) \times \text{AM 振幅}$$

となります。

d) オフセット振幅 (OM 副シンセサイザのみ)

18 ビットオフセット振幅レジスタで、OM 変調時のオフセットです。値の表現は「4.4.4 レジスタ(主シンセサイザ)」の振幅と同じです。

シンセサイザ全体が出力する信号のオフセットは、

$$\text{主シンセサイザのオフセット} + \text{OM 波形関数値}(-1 \sim +1) \times \text{OM オフセット}$$

となります。

e) 波形

3ビット変調波形選択レジスタです。下位2ビットが有効で、最上位ビットは無視されます。FM・AM・OM 各変調時の変調波形となり、次のように割り当てられています。

| | |
|-----|--------------------------------|
| X00 | 正弦波 |
| X01 | 立ち上がりランプ波（最大周波数偏移・振幅設定が正の値のとき） |
| X10 | 三角波 |
| X11 | 方形波 |

f) 初期位相

3ビット変調波形位相選択レジスタで、FM・AM・OM 各変調時の変調波形の初期位相です。次のように割り当てられています。

| | |
|-----|------|
| 000 | 0° |
| 001 | 90° |
| 010 | 180° |
| 011 | 270° |
| 100 | 60° |
| 101 | 120° |
| 110 | 240° |
| 111 | 300° |

初期位相とは基準位相に加算される位相値で、基準位相とは DDS の動作基準となる位相アキュムレータの値です。FM・AM・OM それぞれに初期位相・基準位相があります。

4.4.6 制御レジスタ(アドレス 31)

シリアル設定をする際に各アドレスで変更した設定は、アドレス 31 へのアクセスまでレジスタで待機します。アドレス 31 に含まれる設定更新方法選択ビット (bit 7) が 0 で、かつレジスタ設定更新ビット (bit 0) が 1 のときに全てのアドレス設定が動作に反映されます。

設定更新方法選択ビットが 1 のときは「4.3.3 位相同期信号」で説明した位相同期入力信号の立ち上がり/立ち下がりエッジを検知したタイミングで、かつレジスタ設定更新ビット (bit 0) が 1 のときに更新されます。

アドレス 31 の制御情報ビット(bit 0-15)は、次の意味を持ちます。

- bit 15 0 固定
- bit 14 Detect Sequence Gate Edge (シーケンスを実行しているときのみ有効)
 - 0 Sequence Gate 信号のレベルが High の間, Sequence Gate が有効と判定される
 - 1 Sequence Gate の立ち上がりエッジを検出したときに Sequence Gate が有効と判定される (立ち上がり後のレベル High の状態は無効)
- bit 13,12 シリアル制御モード時 : 両ビットとも 0 固定
 シーケンスプログラム時 : (シーケンスを実行しているときのみ有効)
 - 00 AND 制御モード
 - 01 Duration 制御モード
 - 10 Sequence Gate 制御モード
 - 11 OR 制御モード
 ※制御モードの詳細は「4.5.6 次ステップ移行条件」を参照
- bit 11-8 0 固定
- bit 7 設定更新方法の選択
 - レジスタアドレス 31, bit 0-5 の設定値を更新する方法を選択する
 - 0 アドレス 31 の情報を受信した時点で動作に反映する。
位相同期信号入力ピンの立ち上がり/立ち下りエッジは無視される。
 - 1 アドレス 31 の情報を受信しても待機状態となり, 動作に反映されない。
位相同期信号入力ピンのエッジのタイミングで動作に反映する。
また, マスタモジュールの場合は bit 7 = 1 が設定されたタイミングで bit 0-5 の設定を自身の動作に反映させる。同時に 15 us 幅の単発パルス
を位相同期出力端子に出力してパルス信号を XOR にて重畳させる。
- bit 6 トリガ/ゲート
 - このビットの 0 / 1 設定がトリガ/ゲート入力信号の Low / High と同等の意味付けとされる。内部的にはトリガ/ゲート入力信号ロジックレベルとの OR が適用され, 次の設定まで状態維持する。
- bit 5 1 を設定すると主シンセサイザの位相アキュムレータをクリアする
- bit 4 1 を設定すると FM シンセサイザの位相アキュムレータをクリアする
- bit 3 0 固定
- bit 2 1 を設定すると AM シンセサイザの位相アキュムレータをクリアする
- bit 1 1 を設定すると OM シンセサイザの位相アキュムレータをクリアする
- bit 0 レジスタ設定更新
 - 0 レジスタアドレス 31, bit 1-5 以外の全レジスタ設定は待機状態となり, 動作には反映されない。(bit 1-5 の設定は bit 7 の設定に従い反映される)
 - 1 レジスタアドレス 31, bit 7 の設定に従って全レジスタ設定が更新されて動作に反映される

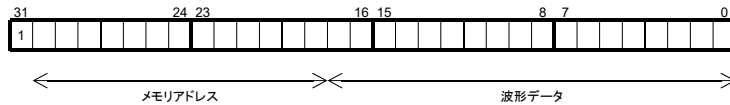
4.4.7 任意波形データ

任意波形のデータはシリアル通信により書き込むことができます。書き込むメモリブロックは四つ用意されています。

波形長： 18 bit 振幅×1024 word (Memory0, Memory1)
9 bit 振幅×2048 word (Memory2, Memory3)

データ書式は次の通りです。

a) ワードサイズ 18 ビット

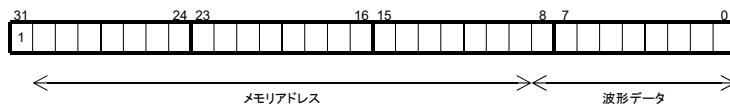


メモリアドレス部の上位 2 ビットは、メモリブロックの指定に使用します。

メモリアドレス 0 0XXX XXXX XXXX は Memory0 を指定
0 1XXX XXXX XXXX は Memory1 を指定

波形データのアドレスはメモリアドレス下位 10 bit を使い 0~1023 を使用します。
波形データの値は 18 bit で、2 の補数で表されます。(-131,072~+131,071)

b) ワードサイズ 9 ビット



メモリアドレス部の上位 2 ビットは、メモリブロックの指定に使用します。

メモリアドレス 10 XXXX XXXX XXXX XXXX XXXX は Memory2 を指定
11 XXXX XXXX XXXX XXXX XXXX は Memory3 を指定

波形データのアドレスはメモリアドレス下位 11 bit を使い 0~2047 を使用します。
波形データの値は 9 bit で、2 の補数で表されます。(-256~+255)

任意波形のデータは揮発性メモリに書き込むため、電源が再投入されるなど FPGA が再コンフィグレーションされると、プログラムされたデータは消去されます。外部リセット信号によるリセットでは消去されません。

4.5 シーケンスプログラムモード

シーケンスプログラムインタフェースでは、最大 32 ステップまでのシーケンスプログラムデータをシリアル通信で書き込む事ができ、FPGA 内部のメモリに全ステップのレジスタ設定を記憶させることができます。

シーケンスの実行はシーケンスプログラムモードでのシリアル通信、あるいはシーケンス実行モードでのピン制御により行うことができます。

シーケンスメモリのデータは揮発性メモリに書き込むため、電源が再投入されるなど FPGA が再コンフィグレーションされると、プログラムされたデータは消去されます。外部リセット信号によるリセットでは消去されません。

4.5.1 制御信号

シリアル制御モードと同様です。4.4.1項を参照してください。

4.5.2 タイミング

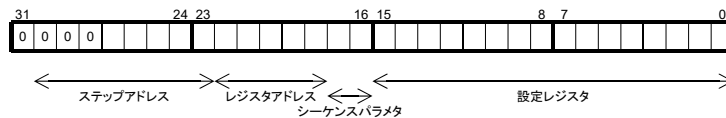
シリアル制御モードと同様です。4.4.2項を参照してください。

4.5.3 メモリ(レジスタ)マップ

シリアル制御モードと共通です。4.4.3項のメモリマップを参照してください。

4.5.4 シーケンスステッププログラミング

シーケンスステップのプログラムデータ形式は次の通りで、4.4.3項に示されるメモリ(レジスタ)マップに対応しています。



| | |
|-----------------|--|
| bit 31 | 0 固定 |
| bit 30 ~ bit 23 | ステップアドレス (下位 5 bit を使用。上位 3 bit は 0 を設定) |
| bit 22 ~ bit 18 | ステップ内レジスタアドレス (0~31) |
| bit 17 ~ bit 16 | 次ステップアドレス および Duration カウント (メモリマップ参照) |
| bit 15 ~ bit 0 | ステップ内設定 (メモリマップ参照) |

ステップ番号をステップアドレスで指定します(0~31)。各ステップではメモリマップ全ての設定が必要で、レジスタアドレス(0~31)それぞれに bit 17~bit 0 の設定をします。プログラミングデータを受信すると、通信ごとにシーケンスプログラミングメモリへ格納されます。

4.5.5 シーケンスパラメータ

メモリの各ワードにまたがるビット 17,16 に、次ステップアドレスと Duration カウント値の設定を行いません。

Program Counter : 16 bit (次シーケンスステップアドレス指定。

下位 5 bit を使用。上位 11 bit は 0 を設定してください)

Duration Counter : 48 bit (10 ns ステップ)

Duration はデータのロード時間の関係で、最小時間は 500 ns になります。

(Duration Counter の値に 1~49 を設定しても 50 と扱われます)

また、Duration Counter の最大値 $2^{48} \times 10$ ns は約 32.6 日です。0 を設定すると無限大に設定されます。

4.5.6 次ステップ移行条件

シーケンスが実行されているときに次のステップに進む条件は、ステップごとにプログラムされた Duration 時間満了による制御と Sequence Gate 信号による制御を選択できます。また Duration と Sequence Gate による組合せ条件も選択可能です。次ステップ移行条件は 4.4.6 項の制御レジスタ bit 13, 12 で定義され、それぞれのステップで個別の設定をすることができます。

00 AND 制御モード

Duration Counter の満了と、Sequence Gate 有効の両方が満たされると、シーケンスは次のステップへ進む

01 Duration 制御モード

Duration Counter の満了により、シーケンスは次のステップへ進む。Sequence Gate の状態は無視される

10 Sequence Gate 制御モード

Sequence Gate が有効になることにより、シーケンスは次のステップへ進む。Duration Counter の状態は無視される

11 OR 制御モード

Duration Counter の満了と、Sequence Gate 有効のいずれかが満たされると、シーケンスは次のステップへ進む。

また Sequence Gate が有効になる条件を、信号のレベルで判定するか立ち上がりエッジで判定するかを選択できます。この条件は「4.4.6 制御レジスタ」の bit 14 で定義され、それぞれのステップで個別の設定をすることができます。

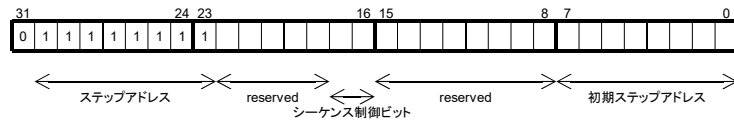
0 Sequence Gate 信号のレベルが High の間、Sequence Gate が有効と判定される

1 Sequence Gate の立ち上がりエッジを検出したときに Sequence Gate が有効と判定される (立ち上がり後のレベル High の状態は無効)

用途に応じて使い分けてください。

4.5.7 シーケンス制御

シーケンスプログラムモードではシリアル通信を用いたシーケンス制御を行うことができます。シーケンス制御のためのデータ形式は次の通りです。



- bit 31 0 固定
- bit 30 ~ bit 23 ステップアドレス(255 固定)
- bit 22 ~ bit 18 Reserved
- bit 17 このビットが 1 のとき、シーケンスゲートレベルが High
- bit 16 このビットが 1 のとき、シーケンスリセット
(シーケンサをリセットし、全てのアクムレータを 0 クリアします)
- bit 15 ~ bit 8 Reserved
- bit 7 ~ bit 0 初期ステップアドレス設定
(下位 5 bit を使用。上位 3 bit は 0 を設定してください)

シーケンスプログラムモードにてステップアドレス 255 を指定する事で、シリアル通信によるシーケンス制御が可能となります。bit 17 の設定ではシーケンスゲート信号を制御でき(シリアル制御とシーケンスプログラムモードでは、モジュールのシーケンスゲート入力信号が無効化されています)、bit 16 の設定ではシーケンサを初期状態にリセットする事ができます。また、bit 7~bit 0 では初期ステップアドレスを指定できます。

リセットが解除されてシーケンスゲート信号が有効になると、指定した初期ステップからプログラムされたシーケンスを開始します。

4.6 シーケンス実行モード

シーケンス実行モードではプログラムした設定を最大 32 ステップまで順次実行させることが可能です。シーケンス実行モードでの起動時にモジュール入力ピンで指定された初期ステップのレジスタを読み込み待機します。

4.6.1 初期ステップ

シーケンス実行時の初期ステップは、シーケンス実行モード起動時の外部リセット信号が解除されたタイミングで INI_ADRS [0-1] 信号を読み込むことで設定されます。

| | |
|-----|--------|
| 00: | ステップ 0 |
| 01: | ステップ 1 |
| 10: | ステップ 2 |
| 11: | ステップ 3 |

4.6.2 ステップの実行

シーケンスゲート信号のレベルが **High** ならば起動時に読み込んで待機しているレジスタ設定を更新して、シーケンスステップの実行を開始します(**Low** ならばシーケンスは始まりません)。シーケンスステップの実行を始めたら次ステップデータのロードを行い、次ステップへ進む条件の成立を待つ状態になります。次ステップへ進むための条件は4.5.6項を参照してください。

5. 応用操作例

| | | |
|-------|---------------------------|----|
| 5.1 | 変調・スイープ | 38 |
| 5.1.1 | 周波数変調 (FM変調)..... | 38 |
| 5.1.2 | 振幅変調 (AM変調)..... | 39 |
| 5.1.3 | オフセット変調 (OM変調)..... | 40 |
| 5.2 | 基準位相と初期位相の関係..... | 41 |
| 5.3 | モジュール間同期方法..... | 42 |
| 5.4 | シーケンスプログラムと実行方法について | 46 |

5.1 変調・スイープ

本モジュールは副シンセサイザを用いて変調波形を生成できます。またパラメータスイープは実装していませんが、変調の波形、周波数、最大周波数偏移、振幅などを適切に選択すると、パラメータスイープに相当する動作をさせることが可能です。

変調やスイープが不要な場合は4.4.5項に記述される副シンセサイザのレジスタ値を全て 0 に設定してください。

5.1.1 周波数変調 (FM 変調)

FM 変調の制御パラメータは、FM 周波数、FM 最大周波数偏移、FM 波形と FM 位相があります。これらのパラメータを用いてシンセサイザ出力の周波数を表すと次のようになります。(FM 波形 [WaveForm_{FM}] が正弦波の場合)

$$Frequency(t) = f_{Main} + Factor_{FM} \times \sin(2\pi f_{FM} t + Phase_{FM})$$

| | |
|---------------|---------------|
| f_{Main} | : 主シンセサイザの周波数 |
| $Factor_{FM}$ | : FM 最大周波数偏移 |
| f_{FM} | : FM 周波数 |
| $Phase_{FM}$ | : FM 初期位相 |

ここで、例えば FM 波形としてランプ波を選択し、FM 周波数を低く設定することで周波数スイープの動作にすることができます。(リニアスイープのみ。ログスイープはできません)

例) 1 秒間で 1 kHz から 2 kHz まで変化させる場合

| | |
|-----------------|-------------|
| f_{Main} | = 1.5 kHz |
| $Factor_{FM}$ | = 0.5 kHz |
| f_{FM} | = 1 Hz |
| $Phase_{FM}$ | = 0 |
| $WaveForm_{FM}$ | = 立ち上がりランプ波 |

上記のパラメータ設定で、1 kHz から 2 kHz までを 1 秒間でスイープする動作を繰り返す波形が出力されます。

ここで $Factor_{FM}$ を -0.5 kHz にすると FM 波形が立ち下がりランプ波になるため、2 kHz から 1 kHz まで 1 秒間でスイープする動作を繰り返す波形が出力されます。

FM 波形として三角波を選択した場合は 1 kHz から 2 kHz の間を往復スイープする波形が、方形波を選択した場合は二つの周波数 (1 kHz と 2 kHz) を交互に繰り返す波形が出力されます。

5.1.2 振幅変調 (AM 変調)

AM 変調の制御パラメータは、AM 周波数、AM 振幅(変調度、最大振幅は±1)、AM 波形と AM 位相があります。これらのパラメータを用いてシンセサイザ出力の振幅を表すと次のようになります。(AM 波形 [WaveForm_{AM}] が正弦波の場合)

$$Function(t) = Function_{DDS}(t) \times (Amplitude_{Main} + Amplitude_{AM} \times \sin(2\pi f_{AM} t + Phase_{AM}))$$

- $Function_{DDS}(t)$: 主シンセサイザが生成するフルスケールの波形データ
- $Amplitude_{Main}$: 主シンセサイザの振幅設定値 (±1 の範囲で設定)
- $Amplitude_{AM}$: AM シンセサイザの振幅設定値 (±1 の範囲で設定)
- f_{AM} : AM 周波数
- $Phase_{AM}$: AM 初期位相

上式のように主シンセサイザが生成するフルスケール波形データの振幅に対し、主シンセサイザの振幅設定値と AM 波形を足し合わせた値を乗算することで AM 変調を行います。

通常の AM (過変調ではない DSB-WC) では、シンセサイザ出力の振幅を飽和させないために次の条件が必要になります。

$$\begin{aligned} |Amplitude_{AM}| &\leq |Amplitude_{Main}| \\ |Amplitude_{AM}| + |Amplitude_{Main}| &\leq 1 \end{aligned}$$

DSB-SC の場合は、

$$\begin{aligned} Amplitude_{Main} &= 0 \\ |Amplitude_{AM}| &\leq 1 \end{aligned}$$

となります。

スweepについては FM 変調の場合と同様になります。

5.1.3 オフセット変調 (OM 変調)

OM 変調の制御パラメータは、OM 周波数、OM 振幅(変調度、最大値は±1)、OM 波形と OM 位相があります。これらのパラメータを用いてシンセサイザ出力の値を表すと次のようになります。(OM 波形 [WaveForm_{OM}] が正弦波の場合)

$$Function(t) = AM(Function_{DDS}(t)) + Offset_{Main} + Amplitude_{OM} \times \sin(2\pi f_{OM} t + Phase_{OM})$$

| | |
|-------------------------|-------------------------------|
| $AM(Function_{DDS}(t))$ | : AM 処理後の主シンセサイザ出力波形 |
| $Offset_{Main}$ | : 主シンセサイザのオフセット (±1 の範囲で設定) |
| $Amplitude_{OM}$ | : OM シンセサイザの振幅設定値 (±1 の範囲で設定) |
| f_{OM} | : OM 周波数 |
| $Phase_{OM}$ | : OM 初期位相 |

AM 変調も含めて最終出力の信号を飽和させないためには次の条件が必要になります。

$$|Amplitude_{AM}| + |Amplitude_{Main}| + |Amplitude_{OM}| + |Offset_{Main}| \leq 1$$

スイープについては FM 変調の場合と同様になります。

5.2 基準位相と初期位相の関係

基準位相とは DDS の動作基準となる位相アキュムレータの値です。初期位相とは基準位相に加算される位相の値です。主シンセサイザと副シンセサイザ(FM, AM, OM) のそれぞれに基準位相と初期位相があります。

初期位相が加算された波形が基準位相の波形とどのような関係にあるか、主シンセサイザの初期位相 0° と 90° の波形を例にしたタイムチャートを図 12 に示します(正弦波出力, 振幅 +1.0, オフセット 0.0, 変調設定なし)。

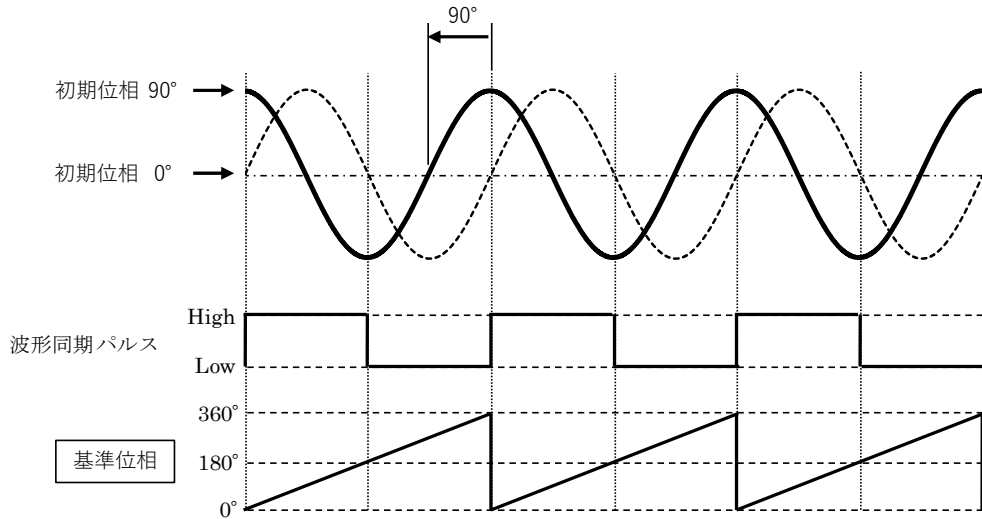


図 12 初期位相設定 0° と 90° の正弦波比較

初期位相設定 90° の波形は基準位相に 90° 加算された波形となります。基準位相 0° のときは $\sin(0^\circ+90^\circ)$ の値に位置します。位相の値は 90° 進みますが、図 12 のように時間軸上で見ると初期位相 90° の波形は初期位相 0° の波形から位相 90° 分だけ左側へ戻る形になることに注意してください。

同様に初期位相設定 0° , 120° , 240° の正弦波を比較したタイムチャートを図 13 に示します。

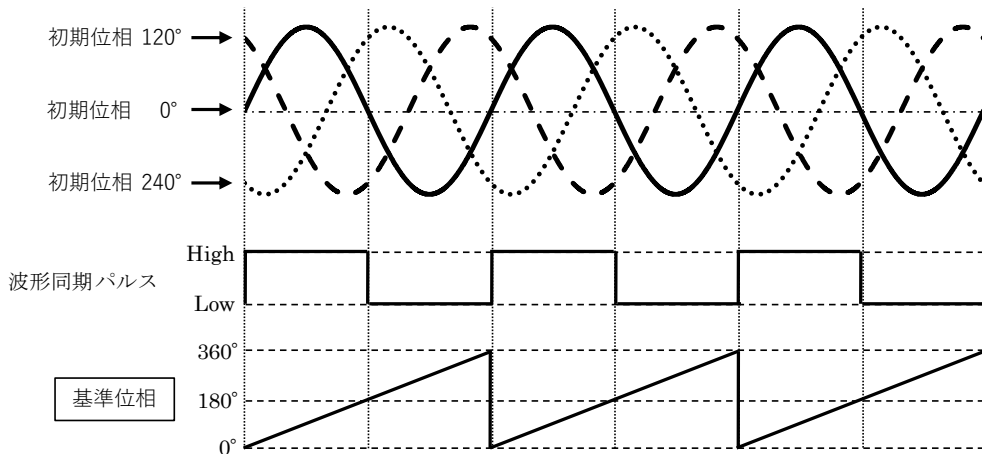


図 13 初期位相設定 0° , 120° , 240° の正弦波比較

この場合も初期位相設定値と波形の位置関係に注意してください。

5.3 モジュール間同期方法

a) モジュール間接続と周波数同期

複数のモジュールを同期させて多相システムを構築する場合はモジュール間で同期クロック信号 (CLK_OUT → CLK_IN) と位相同期信号 (PHYSYNC_OUT → PHYSYNC_IN) を接続してください。

三相システムを構築する場合のモジュール間接続例を 図 14 に示します。(丸印の中にある番号はピン番号を示します)

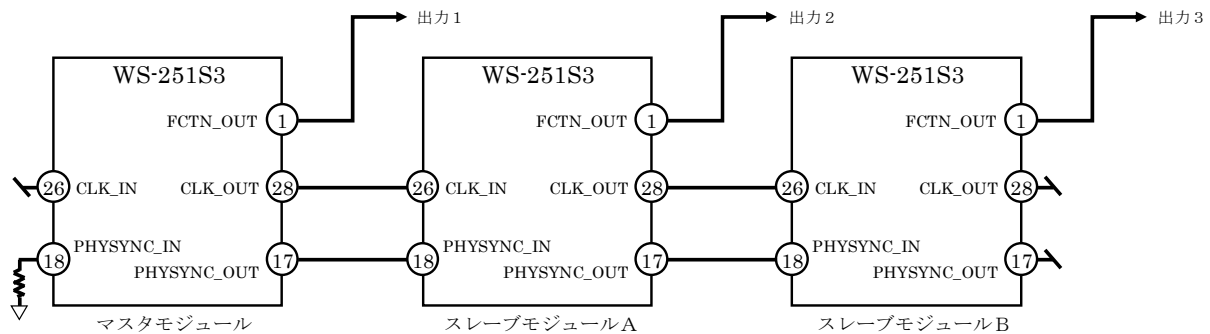


図 14 複数モジュール間の接続 (三相システム時)

図 14 の場合は同期クロック信号が入力されていない左側のモジュールがマスタモジュールとなり、中央と右側のスレーブモジュール A, B がマスタモジュールの周波数基準と周波数同期を取ります。

b) 位相同期方法 1

全てのモジュールに対してレジスタアドレス 31 の設定を同時に送信できる構成の場合は、以下の手順で各モジュールの設定を行ってください。(レジスタアドレス 31 の各ビットの機能説明は「4.4.6 制御レジスタ」を参照してください)

- 各モジュールに対してレジスタアドレス 31 以外の設定をする。このとき、全モジュールの周波数は同じ値に設定する。
- レジスタアドレス 31 の設定を全てのモジュールに対して同時に送信する。このとき、アドレス 31 の bit 0-2, bit 4,5 は 1 に、bit 7 は 0 に設定する。

bit 7 を 0 に設定することにより bit 0-5 の設定は設定受信時に更新され、bit 0 の設定が 1 なので全てのレジスタ設定が更新されることになります。

bit 1,2,4,5 は主シンセサイザと副シンセサイザ基準位相リセットの設定で、設定が全て 1 なので全シンセサイザの基準位相がリセットされます。

この結果全モジュールの周波数設定と基準位相リセットが同時に行なわれるため、モジュール間で周波数と基準位相が同期した多相システムを構築することができます。

一度同期した多相システムの周波数を位相連続のまま変更するときは、基準位相がリセット

されないようにした上で（レジスタアドレス 31, bit 1-5 を 0 に設定する）周波数設定の更新を全モジュール同時に行ってください。この操作により位相のリセットを伴わない周波数変更を行うことができます。

c) 位相同期方法 2

全てのモジュールに対してレジスタアドレス 31 の設定を同時に送信できる構成の場合でゲート発振モード、またはトリガ発振モードを使用する場合は、以下の手順で位相同期を行うことができます。（レジスタアドレス 31 の各ビットの機能説明は「4.4.6 制御レジスタ」を参照してください）

- 各モジュールのゲート/トリガ入力ピンのロジックレベルを Low にする。
- 全モジュールの周波数を同じ値にし、発振モードをゲート発振（またはトリガ発振）に設定したあと、レジスタアドレス 31, bit 0 の設定を 1, bit 6,7 の設定を 0 に設定して全レジスタ設定を更新する。

bit 6 はゲート/トリガ信号ロジックレベルの内部設定で、外部制御であるゲート/トリガ入力ピンのロジックレベルとの OR がモジュールの動作に適用されます。上記の設定では両者とも発振停止の設定なので、各モジュールの主シンセサイザの発振は停止しています。

※ 変調波形を設定している場合、「4.4.4g) トリガオプション」の設定によっては副シンセサイザの波形が出力される場合があります。用途に応じてトリガオプションを設定してください。主シンセサイザ停止時に副シンセサイザの波形を出したくない場合は、副シンセサイザの動作を停止するトリガオプションを設定してください。

- レジスタアドレス 31 の設定を全てのモジュールに対して同時に送信する。このとき、アドレス 31 の bit 0-2, bit 4-7 を 1 に設定する。

bit 6 の設定が 0 から 1 に更新されることでゲート発振（またはトリガ発振）が始まります。このとき全モジュールの周波数設定と基準位相リセットが同時に行なわれるため、モジュール間で周波数と基準位相が同期した多相システムが構築されます。

一度同期した多相システムの周波数を位相連続のまま変更するときは、基準位相がリセットされないようにした上で（レジスタアドレス 31, bit1-5 を 0 に設定する）周波数設定の更新を全モジュール同時に行ってください。この操作により位相のリセットを伴わない周波数変更を行うことができます。

ゲート発振の場合は bit 6 の設定を 0 にすることで主シンセサイザの発振を停止させる事ができます。再度発振を開始する時は bit 6 の設定を 1 にしてください。

トリガ発振の場合はレジスタに設定されている発振波数を出力したあと基準位相 0° の位置で停止します。再度発振を開始する時は bit 6 の設定を一度 0 にしてから再び 1 にしてください。

ゲート発振モードとトリガ発振モードにおいて同期動作を行う際の注意点としては、発振停止中の主シンセサイザは常に基準位相リセットの状態になることです。全モジュール同時に発振停止と開始をするのであれば開始のたびに位相基準を合わせる事ができますが、一部のモジュールのみ発振停止した場合は発振中のモジュールとの位相同期関係は失われます。

例えば三相交流波形において、ゲート発振信号を用いた一時的な単相欠落を表すことはできませんので注意してください。(欠落から復帰した相の基準位相は位相同期状態にはありません)

d) 位相同期方法 3

全てのモジュールに対してレジスタアドレス 31 の設定を同時に送信できない構成の場合は、以下の手順で各モジュールの設定を行ってください。(レジスタアドレス 31 の各ビットの機能説明は「4.4.6 制御レジスタ」を参照してください)

- 全てのスレーブモジュールに対し位相同期を行う周波数を設定する。このとき、レジスタアドレス 31 の bit 0-2, bit4,5 と bit 7 は 1 に設定する。

bit 7 を 1 に設定することで設定したレジスタ情報は待機状態となり、設定の更新・動作反映のためにマスタモジュールからの位相同期信号を待つ状態になります。

bit 0 を 1 に設定することにより、位相同期信号を受信したタイミングで周波数設定を含む全レジスタが更新されるようになります。

bit 1,2,4,5 は主シンセサイザと副シンセサイザの基準位相リセットの設定で、位相同期信号を受信したタイミングで各シンセサイザの基準位相がリセットされます。

- マスタモジュールに対し位相同期を行う周波数を設定する。このとき、レジスタアドレス 31 の bit 0-2, bit4,5 と bit 7 は 1 に設定する。

bit 7 を 1 に設定すると、マスタモジュールは自身のレジスタアドレス 31, bit 0-5 を更新します。また bit 0 の設定が 1 なので、全レジスタが更新されて周波数の更新とマスタモジュール内の全シンセサイザの基準位相リセットが行われます。同時に位相同期信号出力端子へ 15us 幅の単発パルスを出力します。マスタモジュールの位相同期信号入力部はプルダウンされているので、出力部のパルスは立ち上がりエッジが先行するパルスとなります。

このパルスはスレーブモジュールAに入力され、立ち上がりエッジにより周波数の更新と全シンセサイザの基準位相リセットを行います。同時にスレーブモジュールAは入力されたパルスをスレーブモジュールBに出力します。同じようにスレーブモジュールBも周波数の更新と全シンセサイザの基準位相リセットを行いますので、全モジュール間の周波数と基準位相が揃います。

このとき各モジュールに異なる初期位相を設定すると、モジュール間で周波数と基準位相が同期した多相システムを構築する事ができます。

一度同期した多相システムの周波数を位相連続で変更する時は、基準位相がリセットされな

いようにした上で（レジスタアドレス 31, bit1-5 を 0 に設定する）で上記の操作を再び行ってください。この操作により位相のリセットを伴わない周波数変更を行うことができます。

e) モジュール間信号遅延

4.3.2項, 4.3.3項で記述したようにクロック同期信号と位相同期信号にはモジュール内入出力遅延があり, 図 14 の結線で「c) 位相同期方法 2」にて位相同期をする方法ではマスタモジュールとスレーブモジュール B の間に約 10 ns 程度の遅延が生じます。また, 4 台以上のモジュール接続, モジュール間へのバッファ回路設置やモジュール間の配線が長くなると更に遅延が加算されます。

この時間遅延はモジュール間相対位相の誤差となり, 周波数が高いほど位相としての誤差が大きくなります。仮に 10 ns の遅延が生ずると仮定すると 1 MHz 出力時のモジュール間相対誤差は 3.6° となります (1 MHz は周期 1000 ns なので $360^\circ \times 10 \text{ ns} / 1000 \text{ ns} = 3.6^\circ$)

この相対誤差はスレーブモジュール初期位相の設定により微調整する事ができますが, 多相システムの出力を測定しながら所望のモジュール間位相差になるようにスレーブモジュールの初期位相値を決める必要があります。

f) 多相システムの構築例

- 初期位相 0° , 90° に設定した直交検波波形
- 初期位相 0° , 180° に設定した差動出力波形
- 初期位相 0° , 120° , 240° に設定した三相交流波形

上記構築例の他にも本モジュールの主シンセサイザ初期位相はミリ度以下の設定分解能を持ちますので, 多相波形出力のシステムを自由に構築する事ができます。

制御線の波形品質と遅延時間が適切に設計されるかぎり, 多相システムの構成台数に制限はありません。本モジュールに使用されるロジックの I/O Standard については「2.4 ロジックについて」を参照願います。

5.4 シーケンスプログラムと実行方法について

4.5節, 4.6節で説明したように, 本モジュールでは最大 32 ステップのシーケンスをプログラムし, 実行する事ができます。各ステップでは「4.4.3メモリマップ」にある全てのパラメータを設定することができます。

初期ステップの指定, シーケンスの開始, 次ステップの指定と次ステップへの移行操作はシーケンスプログラミングモードにおけるシリアル通信 (4.5節を参照), またはシーケンス実行モードにおけるモジュール入力ピンへのロジック信号で行うことができます(4.6節を参照)。

a) 初期ステップの指定

シリアル通信での操作では 32 ステップ (0~31) いずれのステップも初期ステップとして指定できます。指定するタイミングは 4.5.7項のシーケンス制御コマンドでシーケンスリセット (bit 16) が解除されたとき (1 から 0 へ変化) で, bit 0-7 にて指定される初期ステップのレジスタ設定がロードされて待機状態になります。

シーケンス実行モードでは, 2 bit の初期ステップ設定ピンによりステップ 0~3 を初期ステップとして指定できます。指定するタイミングはシーケンス実行モードへ切り替わる際の外部リセットが解除されたタイミングで, 指定されたステップのレジスタ設定がロードされて待機状態になります。

b) シーケンスの開始

シーケンスの開始は初期ステップのレジスタ設定のロードが行われている状態で行います。

シリアル通信の操作ではシーケンスコマンドのシーケンスゲートレベル (bit 17) が 1 であればシーケンスが開始します。0 のときは待機状態を続けます。

シーケンス実行モードではシーケンスゲート入力ピンのロジックレベルが High であればシーケンスが開始します。Low のときは待機状態を続けます。

c) 次ステップの指定

次ステップの指定はシーケンスプログラム時に4.5.5項のシーケンスパラメータで設定します。ステップごとに次のステップとして, 現ステップを含む 32 ステップ (0~31) 全てを指定できます。

次ステップを自由に設定できることにより, 例えば 32 ステップを四つの領域に分けて四つのシーケンスを初期ステップの設定により選べるようにすることができます。そのほかにもステップの途中にループを組んで途中から特定のシーケンスを繰り返す動作をさせたり, シーケンスの前半は異なるステップを組んで初期ステップで選択できるようにして後半は同じステップを実行させるようにしたり, 出力停止のステップをシーケンスの最後において最終ステップをループさせる事でシーケンスを終了状態にさせることなどができます。

d) 次ステップへの移行操作

次ステップへの移行は, 4.5.5項のシーケンスパラメータでプログラムした Duration の経過時間とシーケンスゲート設定により操作します。4.5.6項で説明したように, Duration 制御モード, シーケンスゲート制御モードと, 両者を組み合わせた AND 制御モード, OR 制御モードの四つの制御モードがあります。

時間経過で制御したい場合、任意のタイミングでステップ移行を制御したい場合など、用途に合わせて制御方法を選択してください。制御方法はステップごとに設定できます。

シリアル通信でのシーケンスゲートの操作はシーケンスコマンドのシーケンスゲートレベル (bit 17)で行います。

シーケンス実行モードではシーケンスゲート入力ピンのロジックレベルで操作します。

シーケンスゲートが有効になる条件として、信号のレベルで判定するか、立ち上がりエッジで判定するかを設定できます。この条件は「4.4.6 制御レジスタ」の bit 14 で定義され、それぞれのステップで個別の設定をすることができます。

信号レベルでの判定か、立ち上がりエッジでの判定かの選択は、次の例を参考にしてください。

信号レベルで判定すると、

- 連続したステップの次ステップ移行条件が共にシーケンスゲートのみで達成されるとき、シーケンスゲートを有効にした瞬間に次ステップでもステップ移行条件が満たされます。結果、次ステップは飛ばされることとなります。このような場合は立ち上がりエッジで判定する設定にすると次ステップが飛ばされなくなります。

決められた時間で進むステップの進行を途中で止めたい場合は、

- AND 制御を用いてください。決められた時間でステップを進ませるために各ステップに **Duration** を設定し、シーケンスゲートはレベル判定にした上で信号を 1 (High) に設定してください。シーケンスゲートレベルを 1 (High) にしている間は **Duration** によるステップ切り替えになります。
- ステップの進行を止めたい場合はシーケンスゲートレベルを 0 (Low) にしてください。**Duration** 経過時間が過ぎてもステップが切り替わらないようになります。
- シーケンスゲートを立ち上がりエッジ判定にすると **Duration** 満了時にシーケンスゲートが有効になっていないため、上記のような動作が実現できません。

6. 仕様

| | | |
|-------|---|----|
| 6.1 | 絶対最大定格 | 49 |
| 6.2 | 電源電圧・電流 | 49 |
| 6.3 | 波形出力部仕様 | 50 |
| 6.3.1 | 両電源構成時 ($AV_{SS} = -3.465\text{ V} \sim -2.850\text{ V}$) | 50 |
| 6.3.2 | 片電源構成時 ($AV_{SS} = 0\text{ V}$) | 51 |
| 6.3.3 | 出力波形 | 51 |
| 6.4 | デジタル部仕様 | 52 |
| 6.4.1 | ロジックレベル | 52 |
| 6.4.2 | I/O Standard | 52 |
| 6.5 | インターフェース仕様 | 53 |
| 6.5.1 | モード切替 | 53 |
| 6.5.2 | 制御部 | 53 |
| a) | シリアル制御モード, シーケンスプログラムモード | 53 |
| b) | シーケンス実行モード | 53 |
| 6.5.3 | 同期関連 | 54 |
| 6.5.4 | その他 | 54 |
| 6.6 | 環境・外形・質量 | 56 |
| 6.6.1 | 環境 | 56 |
| 6.6.2 | モジュール外形 | 56 |
| 6.6.3 | モジュール質量 | 56 |
| 6.7 | 規格 | 56 |

特記なき場合は、

正弦波出力, 出力負荷 50Ω , 振幅 $2.0 \text{ V}_{\text{p-p}}$ 設定, オフセット 0.0 V 設定, 周囲温度 $23 \pm 5^\circ\text{C}$

確度(以上, 以下, 以内などの範囲)を示した数値は保証値です。

typ. の文字を併記している確度は代表値です。

確度(範囲)がない項目は参考値です。

6.1 絶対最大定格

本モジュールの絶対最大定格は 表 12の通りです。

表 12 絶対最大定格

| | | 最小値 | 最大値 | 単位 |
|------------|------------------|------|-----------------------|----|
| デジタル部 | | | | |
| 正電源電圧 | DV _{DD} | -0.3 | +3.6 | V |
| ロジック入力電圧 | | -0.3 | DV _{DD} +0.3 | V |
| ロジック出力電流 | | -25 | +25 | mA |
| アナログ部 | | | | |
| 正電源電圧 | AV _{DD} | -0.3 | +3.6 | V |
| 負電源電圧 | AV _{SS} | -3.6 | +0.3 | V |
| オフセット入力電圧 | | -0.3 | AV _{DD} +0.3 | V |
| シンセサイザ出力電流 | | -50 | +50 | mA |

上記の絶対最大定格を超えるストレスを加えると、製品に恒久的な損傷を与えることがあります。

6.2 電源電圧・電流

表 13 電源電圧・電流

| | | |
|-----------|-------------------|---|
| デジタル部 | | |
| 正電源電圧 | DV _{DD} | +3.3 V \pm 5% |
| 電源ランプ時間規定 | | 10 ms 以下 (電源投入から DV _{DD} の仕様電圧まで) |
| 消費電流 | IDVDD | 200 mA max. (-20 $^\circ\text{C}$ ~ +70 $^\circ\text{C}$) |
| アナログ部 | | |
| 正電源電圧 | AV _{DD} | +2.850 V ~ +3.465 V |
| 消費電流 | I _{AVDD} | 33 mA max. (無負荷時, -20 $^\circ\text{C}$ ~ +70 $^\circ\text{C}$) |
| 負電源電圧 | AV _{SS} | -3.465 V ~ -2.850 V, 又は 0 V *2 |
| 消費電流 | I _{AVSS} | 5 mA max. (無負荷時, -20 $^\circ\text{C}$ ~ +70 $^\circ\text{C}$) |

*2) 0 V は片電源構成時

6.3 波形出力部仕様

6.3.1 両電源構成時 ($AV_{SS} = -3.465\text{ V} \sim -2.850\text{ V}$)

本モジュールは以下に示す波形を出力します (信号名: FCTN OUT, ピン番号: 1 pin)

| | | |
|------------------|---|---|
| DA 変換分解能 | 14 bit | |
| 出力波形 | 正弦波, ランプ波, 三角波, 方形波, 任意波 | |
| 出力インピーダンス | 50 Ω | |
| 負荷インピーダンス | 50 Ω 以上 | |
| 周波数設定範囲 | 0 Hz ~ 12.5 MHz | |
| 周波数確度 | ± 25 ppm 以内 *3 | |
| 周波数安定度 (温度) | ± 2 ppm 以内 | -20 $^{\circ}\text{C}$ ~ +70 $^{\circ}\text{C}$ |
| 出力振幅設定範囲 *4 | 0 V _{p-p} ~ 2 V _{p-p} | 無負荷時 |
| 出力振幅確度 | $\pm 1\%$ 以内 | 無負荷時, 1 kHz |
| 出力振幅安定度 (温度) | ± 100 ppm/ $^{\circ}\text{C}$ 以内 typ. | -20 $^{\circ}\text{C}$ ~ +70 $^{\circ}\text{C}$, 1 kHz |
| 直流オフセット電圧設定範囲 *4 | -1 V ~ +1 V | 無負荷時, 波形の基準電圧 (0 V 設定時) は AGND |
| 残留直流オフセット電圧 | ± 15 mV 以内 | 無負荷時, 2-3 pin 接続時 |
| 正弦波特性 | | |
| 出力振幅安定度 (周波数) | 基準周波数: 1 kHz | |
| | ± 0.1 dB 以内 | ~ 10 kHz |
| | ± 0.2 dB 以内 | ~ 100 kHz |
| | ± 0.5 dB 以内 | ~ 5 MHz |
| | ± 1.0 dB 以内 | ~ 10 MHz |
| 全高調波ひずみ率 | 0.1%以下, 0.01%以下 typ. | 10 Hz ~ 100 kHz 10 次高調波までを合算 |
| 高調波スプリアス | -60 dBc 以下 typ. | ~ 1 MHz |
| | -50 dBc 以下 typ. | ~ 5 MHz |
| | -40 dBc 以下 typ. | ~ 10 MHz |
| 非高調波スプリアス | -70 dBc 以下 typ. | ~ 1 MHz |
| | -60 dBc 以下 typ. | ~ 5 MHz |
| | -50 dBc 以下 typ. | ~ 10 MHz |
| 方形波特性 | | |
| デューティ比率 | 50% | |
| ジッタ | 10 ns p-p | |
| オーバーシュート | 5% | |
| 立ち上がり/立ち下がり時間 | 40 ns | |
| 任意波特性 | | |
| サンプリングレート | 100 MS/s | |
| 帯域幅 | 20 MHz, -3 dB | |

*3) 内蔵の周波数基準使用時

*4) 波形振幅と直流オフセット設定を合わせたピーク値が -1 V ~ +1 V に収まるように設定してください。

この範囲を超えると波形の符号反転が起こりますので注意してください。

振幅をフルスケールにした状態が DAC の分解能を最大限に有効活用できます。

6.3.2 片電源構成時 ($AV_{SS} = 0\text{ V}$)

片電源構成時の特性は以下に示す直流オフセット電圧設定範囲と残留直流オフセット電圧以外は「6.3.1 両電源構成時」と同じです。

直流オフセット電圧設定範囲 $-1\text{ V} \sim +1\text{ V}$
*4

無負荷時，波形の基準電圧
(0 V 設定時)は，次項目の残
留直流オフセット電圧。

残留直流オフセット電圧*5 $(AV_{DD}/2)\text{ V} \pm 2\%$ 以内 無負荷時，3-34 pin 接続時

- *5) 片電源で使用できるように出力をオフセットさせる事ができ，オフセット入力端子印加電圧の半分が出力に現れます。オフセット入力端子には低インピーダンスで低雑音の電圧源を接続してください。

6.3.3 出力波形

初期位相 0° ，振幅設定値 1.0，オフセット設定値 0.0 の場合を例に，基準位相，波形同期パルスと各波形の関係を表すタイムチャートを図 15に示します。

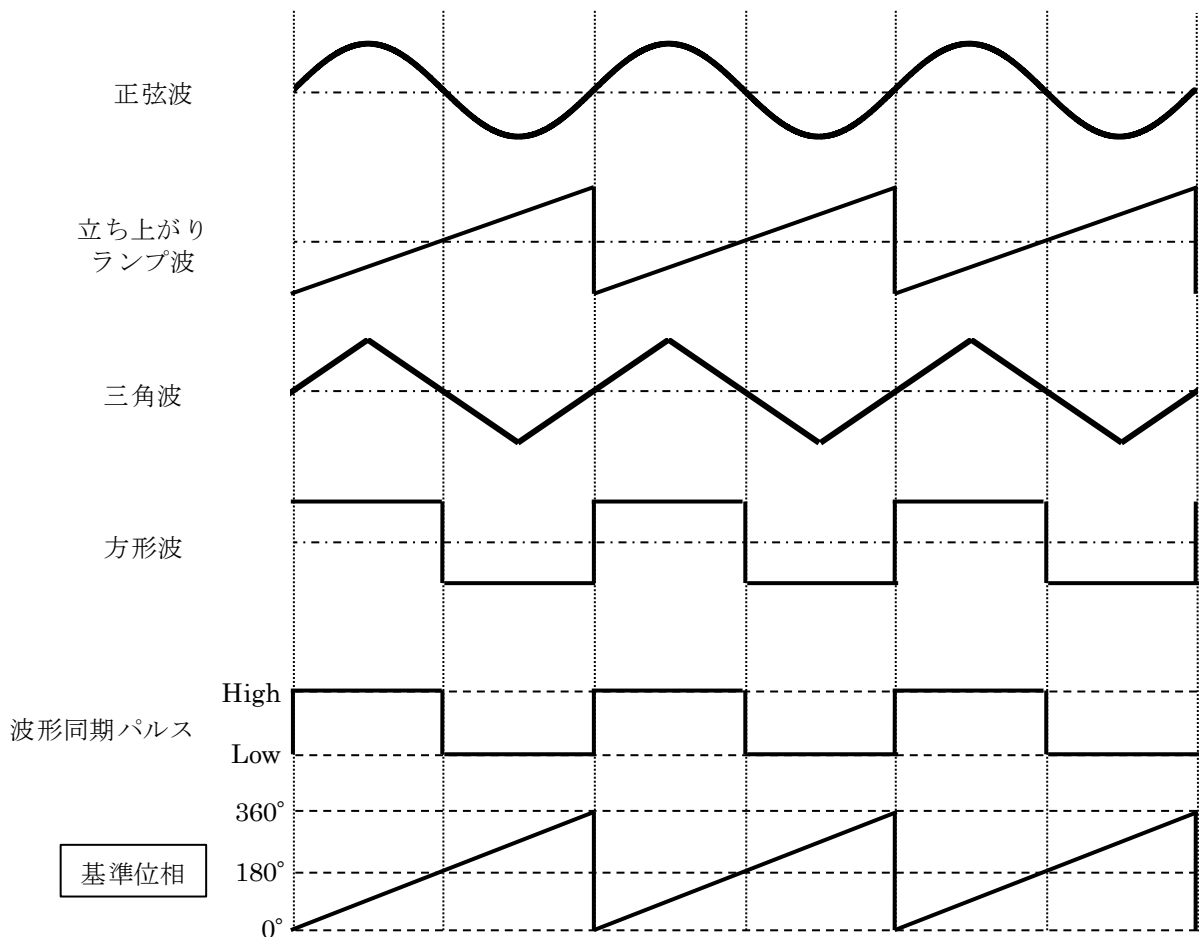


図 15 波形タイムチャート

※ 初期位相とは基準位相に加算される位相の値です。基準位相とは DDS の動作基準となる位相アキュムレータの値です。

6.4 デジタル部仕様

6.4.1 ロジックレベル

この項以降で説明される信号は全てデジタルのインターフェースで、入出力とも以下のロジックが用いられています。

| | |
|--------|---|
| 信号レベル | 3.3 V LVCMOS |
| 入力ピン処理 | ゲート/トリガ発振入力ピン(24 pin) と同期クロック入力ピン(26 pin)はモジュール内部で Pull up されています。(7~34 kΩ) これ以外の入力ピンは Pull up/down されておられません。 |

6.4.2 I/O Standard

表 14 3.3 V LVCMOS

| | Min. | Typ. | Max. | Unit |
|------------------------------|-----------------------|------|--------|------|
| ロジック電源電圧 (DV _{DD}) | +3.135 | +3.3 | +3.465 | V |
| V _{IL} | -0.3 | --- | +0.8 | V |
| V _{IH} | +1.7 | --- | +3.6 | V |
| V _{OL} | --- | --- | +0.2 | V |
| V _{OH} | DV _{DD} -0.2 | --- | --- | V |
| I _{OL} | --- | --- | +2 | mA |
| I _{OH} | --- | --- | -2 | mA |

6.5 インターフェース仕様

6.5.1 モード切替

本モジュールの動作モードはパワーオンリセット解除時、及び外部リセット信号解除時における次の信号の状態によって決まります。

表 15 モード切替

| 設定項目 | 信号バス名 | 設定値 (二進数) | 設定状態 |
|-------|------------|--------------|---------------|
| 動作モード | Mode [0-1] | 00 | シリアル制御モード |
| | | 01 | シーケンスプログラムモード |
| | | 10 | Reserved |
| | | 11 | シーケンス実行モード |

6.5.2 制御部

a) シリアル制御モード、シーケンスプログラムモード

表 16 シリアル通信制御ピン

| 信号名 | ピン名称 | 入出力 | 説明 |
|---------|------|-----|--|
| ラッチパルス | SLT | 入力 | パルスの立ち上がりで取り込んだデータを確定します (ラッチパルス=High のとき、シフトクロックは無視されます) |
| シフトクロック | SCK | 入力 | クロックの立ち上がりでデータを取り込みます |
| データ | SDT | 入力 | 全 32 bit (MSB から送信) |

b) シーケンス実行モード

表 17 シーケンス実行制御ピン

| 信号名 | ピン名称 | 入出力 | 説明 |
|----------|--------------------------|-----|---|
| シーケンスゲート | SEQ_GATE | 入力 | 次のステップへ進む条件の制御を行います [レベル制御時] Low: 条件を満たさない High: 条件を満たす [エッジ制御時] 立ち上がりエッジ: 条件を満たす それ以外 : 条件を満たさない |
| 初期ステップ | INI_ADRS_0 INI_ADRS_1 | 入力 | 2 bit の信号を用いて初期ステップを指定します 00: ステップ 0 01: ステップ 1 10: ステップ 2 11: ステップ 3 |

6.5.3 同期関連

表 18 同期関連

| 信号名 | ピン名称 | 入出力 | 説明 |
|---------|-------------|-----|--|
| 同期クロック | CLOCK IN | 入力 | 10 MHz \pm 1 kHz (立ち上がりエッジで同期) デューティ比 40~60% このピンは内部で Pull up されています |
| | CLOCK OUT | 出力 | 10 MHz, デューティ比 45~55% |
| 位相同期信号 | PHYSYNC IN | 入力 | 立ち上がり / 立ち下がりエッジ検出時: レジスタ設定と基準位相リセット設定の更新 |
| | PHYSYNC OUT | 出力 | PHYSYNC IN 信号をそのまま出力します。 マスタモジュールの場合はレジスタの設定により 15 us 幅のパルスが出力させることができます |
| 波形同期パルス | SYNC | 出力 | 主シンセサイザの基準位相 0° で立ち上がるデューティ比 50% のパルス。低周波数信号出力時の外部測定器トリガ用途です。 |

- ※ 同期クロック入力ピンに信号が入力されると内部基準クロックから自動的に外部クロックに切り替わります
- ※ 同期クロック入力がないモジュールはマスタモジュールとなり、同期クロックを入力されているモジュールはスレーブモジュールとなります。
- ※ PHYSYNC IN の機能はレジスタの設定により無効にされる場合があります。また、シーケンス実行時は常に無効となります。
- ※ PHYSYNC IN には、一度エッジを検出すると 22 us 経過するまで他のエッジを無視するデッドタイムが設けられています。
- ※ 位相同期を行うためにはクロック同期をしていることが前提となります
- ※ 波形同期パルスのロジック出力部には 100 Ω の出力抵抗が内蔵されています
- ※ 基準位相とは DDS の動作基準となる位相アキュムレータの値です。

6.5.4 その他

表 19 その他

| 信号名 | ピン名称 | 入出力 | 説明 |
|---------|---------------------------|-----|---|
| ゲート/トリガ | GATE_TRIG | 入力 | [ゲート発振設定時] ロジックが High になると基準位相 0° から発振を開始し, Low になると基準位相 0° で発振を停止します。 [トリガ発振設定時] ロジックの立ち上がりエッジを検知すると設定された周期の波形を出力し, 基準位相 0° で発振を停止します。 [連続発振・バースト発振設定時] ロジックの状態は無視され, 出力は常に有効となります。 |
| 外部リセット | $\overline{\text{RESET}}$ | 入力 | ロジック Low のときは波形の振幅がゼロになり, 波形同期パルス出力が Low になります。また, シリアル通信による各種設定は受け付けません。 ロジック High に戻ると動作モード, 端子状態, レジスタ設定を確認して, 設定に沿った動作を行います。 |

- ※ 基準位相とは DDS の動作基準となる位相アキュムレータの値です。

以下に初期位相 0° の場合のゲート/トリガ信号と出力信号の関係を、正弦波出力を例にタイムチャートで示します。(初期位相とは基準位相に加算される位相の値です)

[ゲート発振時]

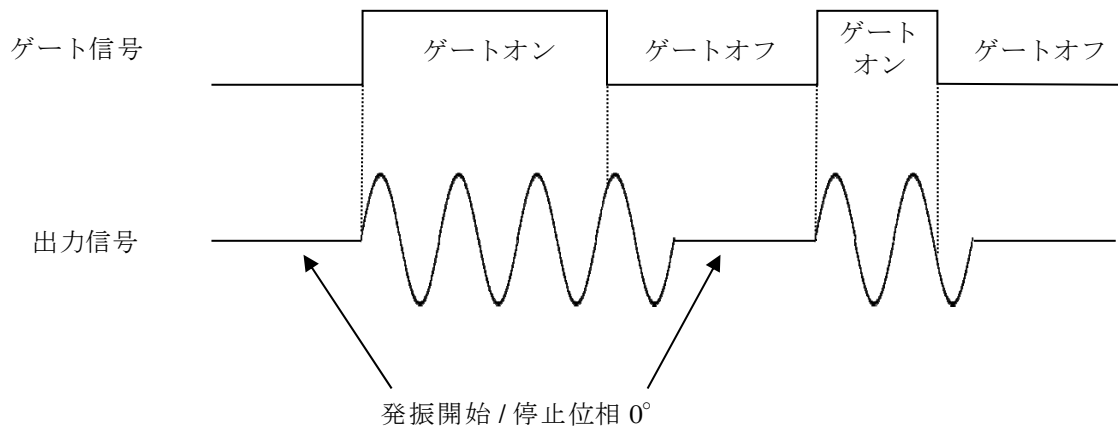


図 16 ゲート発振時

[トリガ発振時 (3 周期発振設定の場合)]

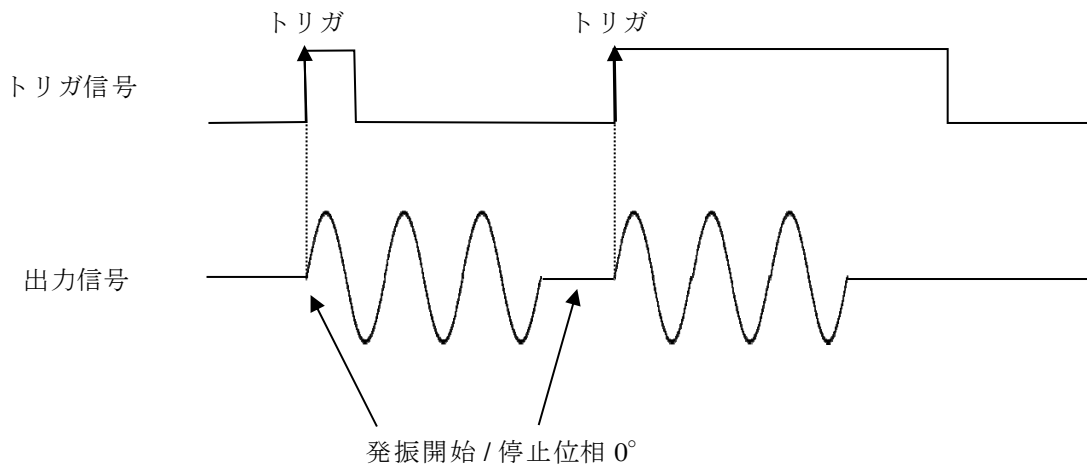


図 17 トリガ発振時

6.6 環境・外形・質量

6.6.1 環境

| | |
|---------|---------------------------------|
| 動作温湿度範囲 | -20 °C~+70 °C, 10~80%RH, 結露なきこと |
| 保存温湿度範囲 | -30 °C~+80 °C, 10~80%RH, 結露なきこと |

6.6.2 モジュール外形

| | |
|-------|--|
| パッケージ | 2.54 mm pitch, 36 pin DIP, 列間 22.86 mm |
| 寸法 | 47.5 mm×24.5 mm×7 mm (公差は各±1 mm) |

6.6.3 モジュール質量

| | |
|----|-------|
| 質量 | 約 7 g |
|----|-------|

6.7 規格

| | |
|---------|----------------------|
| RoHS 指令 | Directive 2011/65/EU |
|---------|----------------------|

7. 外形寸法図

| | | |
|-----|------------------|----|
| 7.1 | モジュール外形寸法図 | 58 |
| 7.2 | パターン寸法図 | 58 |

7.1 モジュール外形寸法図

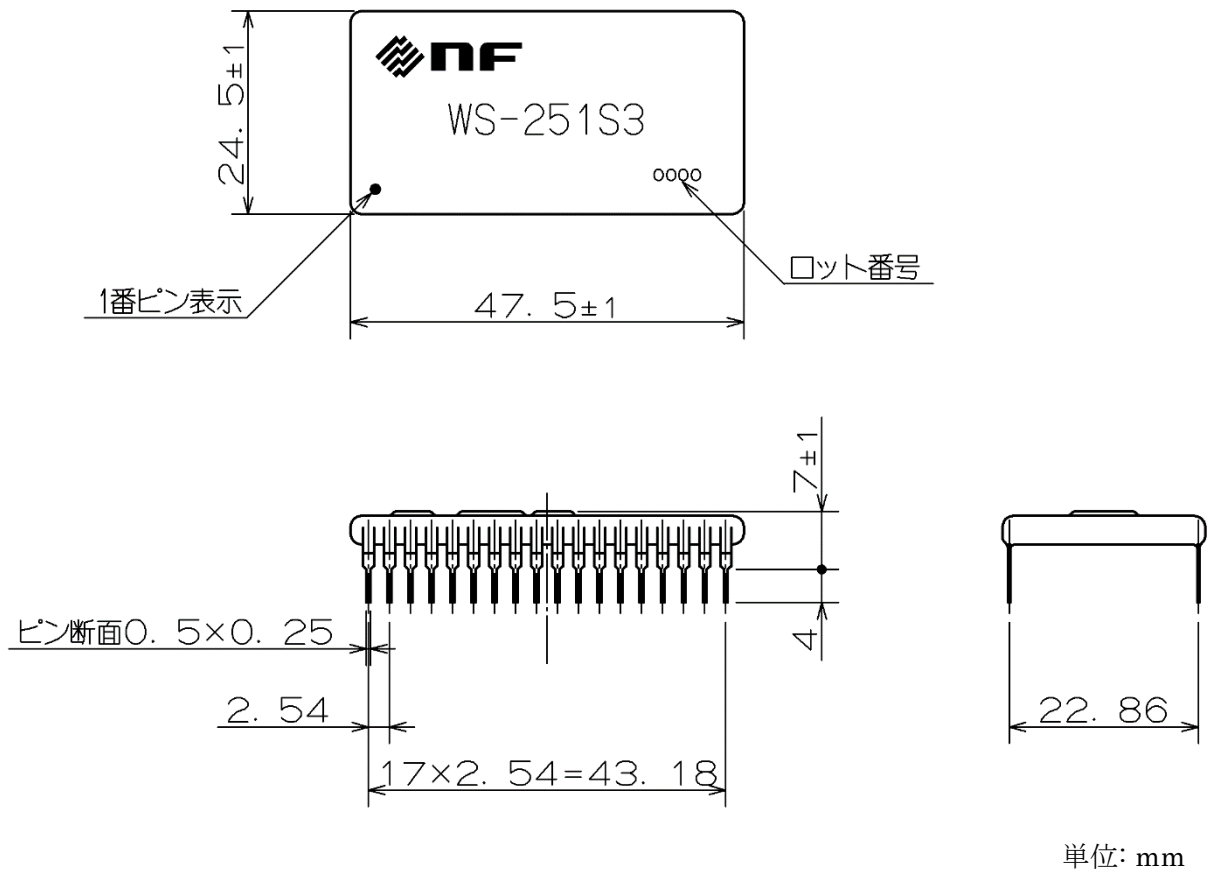


図 18 モジュール外観寸法

7.2 パターン寸法図

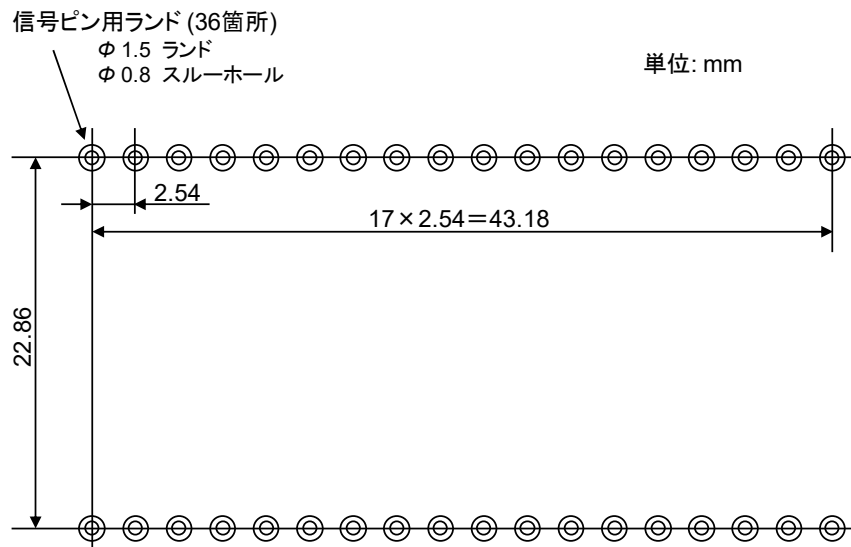


図 19 パターン寸法図

8. 標準データ

| | | |
|-----|-------------------|----|
| 8.1 | 標準データに関して | 60 |
| 8.2 | ひずみ率対周波数特性 | 60 |
| 8.3 | スペクトル対周波数特性 | 61 |
| 8.4 | 出力周波数対温度特性 | 62 |
| 8.5 | 出力電圧対温度特性 | 63 |
| 8.6 | 出力電圧対周波数特性 | 64 |

8.1 標準データに関して

この製品の代表的な性能について参考として記載しています。個々の製品について、性能が当データに達していないこともあります。全数厳重な試験を行い、仕様を満足していることを確認して出荷しておりますのでご了承ください。

8.2 ひずみ率対周波数特性

出力のひずみ率特性を図 20に示します。測定は 10 Hz～100 kHz の範囲で行い、10 次高調波までを合算しています。

条件：正弦波、50 Ω 負荷、振幅 1.0 V_{p-p} (無負荷で 2.0 V_{p-p} の設定)、オフセット設定 0.0 V
仕様：0.1%以下、0.01%以下 typ.

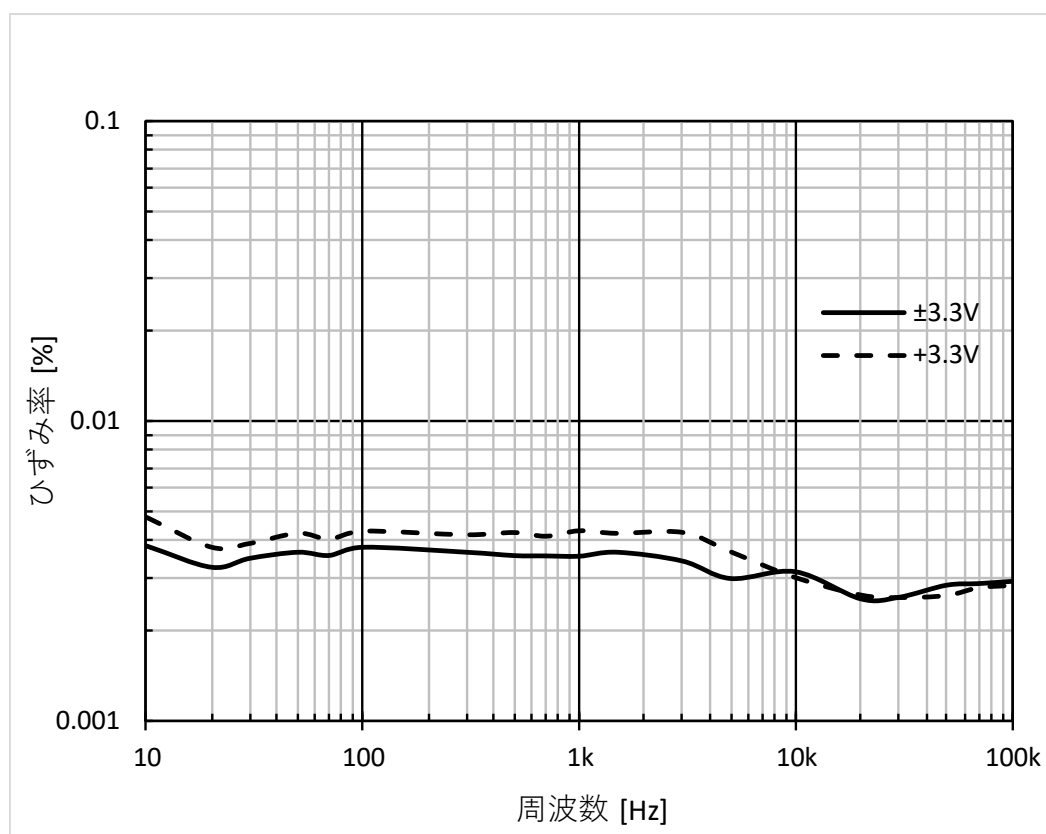


図 20 ひずみ率対周波数特性

8.3 スペクトル対周波数特性

出力のスペクトル特性を図 21に示します。出力周波数は 100 kHz で、100 kHz での測定値を 0 dB として 1 MHz までのスペクトルを測定しています。

条件：正弦波，50Ω 負荷，振幅 1.0 V_{p-p} (無負荷で 2.0 V_{p-p} の設定)，オフセット設定 0.0 V
仕様：高調波スプリアス -60 dB 以下 typ. @100 kHz
非高調波スプリアス -70 dB 以下 typ. @100 kHz

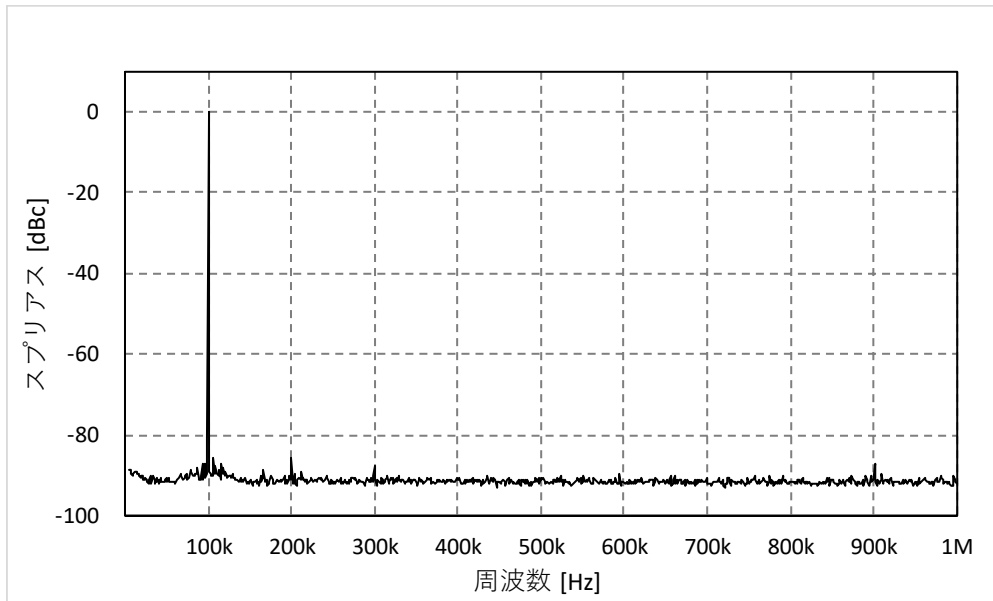


図 21 スプリアス対周波数特性

8.4 出力周波数対温度特性

出力周波数の対温度特性を図 22に示します。測定は-20~+70°Cの範囲で行い、出力周波数設定 10 MHz、23°Cでの値を基準に周波数の変動を示しています。

条件：正弦波，無負荷，振幅設定 2.0 V_{p-p}，オフセット設定 0.0 V

仕様：±2 ppm 以内（-20~+70°C，23°C基準）

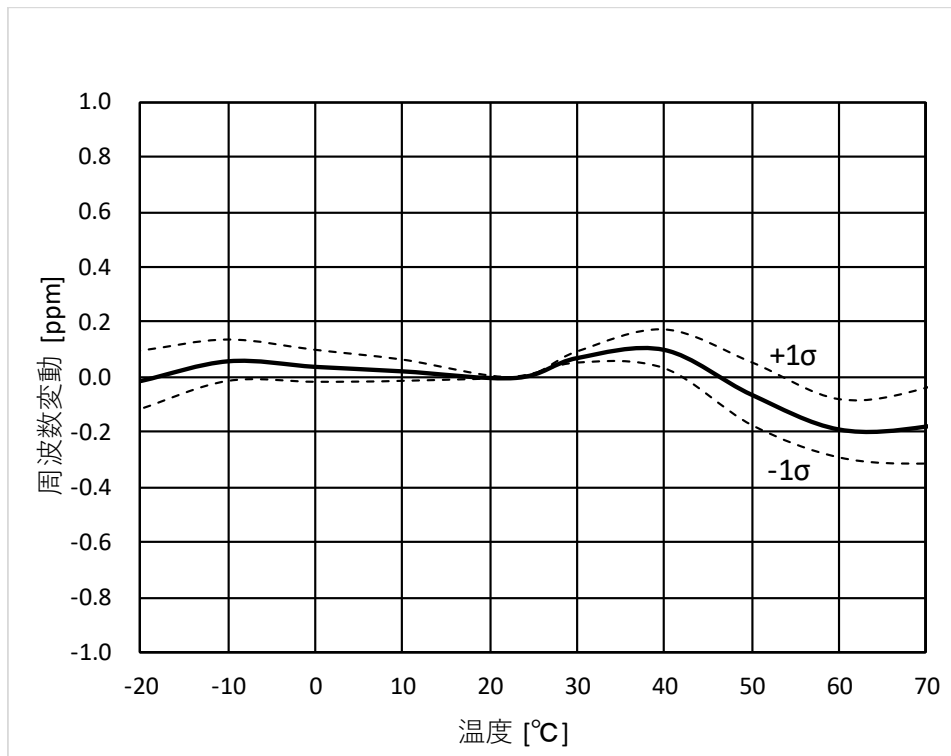


図 22 出力周波数変動対温度特性

8.5 出力電圧対温度特性

出力電圧の対温度特性を図 23に示します。測定は-20~+70°Cの範囲で行い、出力周波数設定 1 kHz、23°Cでの値を基準に出力電圧の変動を示しています。

条件：正弦波，50 Ω 負荷，振幅 1.0 V_{p-p} (無負荷で 2.0 V_{p-p} の設定)，オフセット設定 0.0 V
仕様：±100 ppm/°C以内 typ.

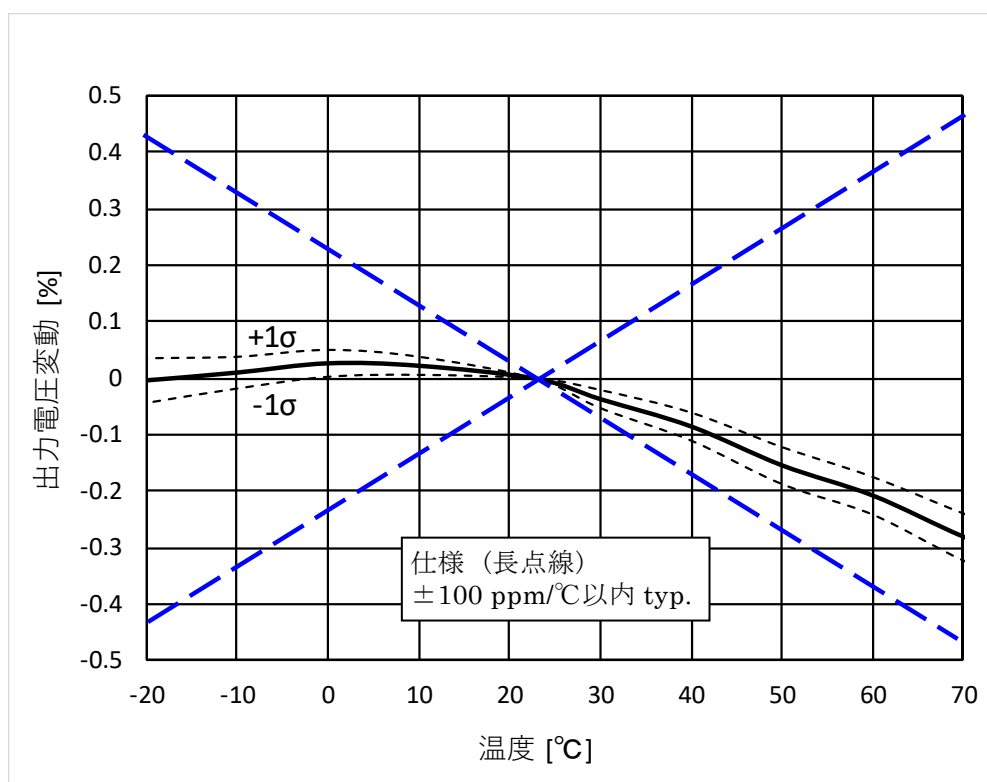


図 23 出力電圧変動対温度特性

8.6 出力電圧対周波数特性

出力電圧の対周波数特性を図 24に示します。測定は 100 Hz～10 MHz の範囲で行い、1 kHz での値を基準に相対値を dB 表示しています。

条件：正弦波，50 Ω 負荷，振幅 1.0 V_{p-p} (無負荷で 2.0 V_{p-p} の設定)，オフセット設定 0.0 V

仕様：±0.1 dB 以内 (～10 kHz)

±0.2 dB 以内 (～100 kHz)

±0.5 dB 以内 (～5 MHz)

±1.0 dB 以内 (～10 MHz)

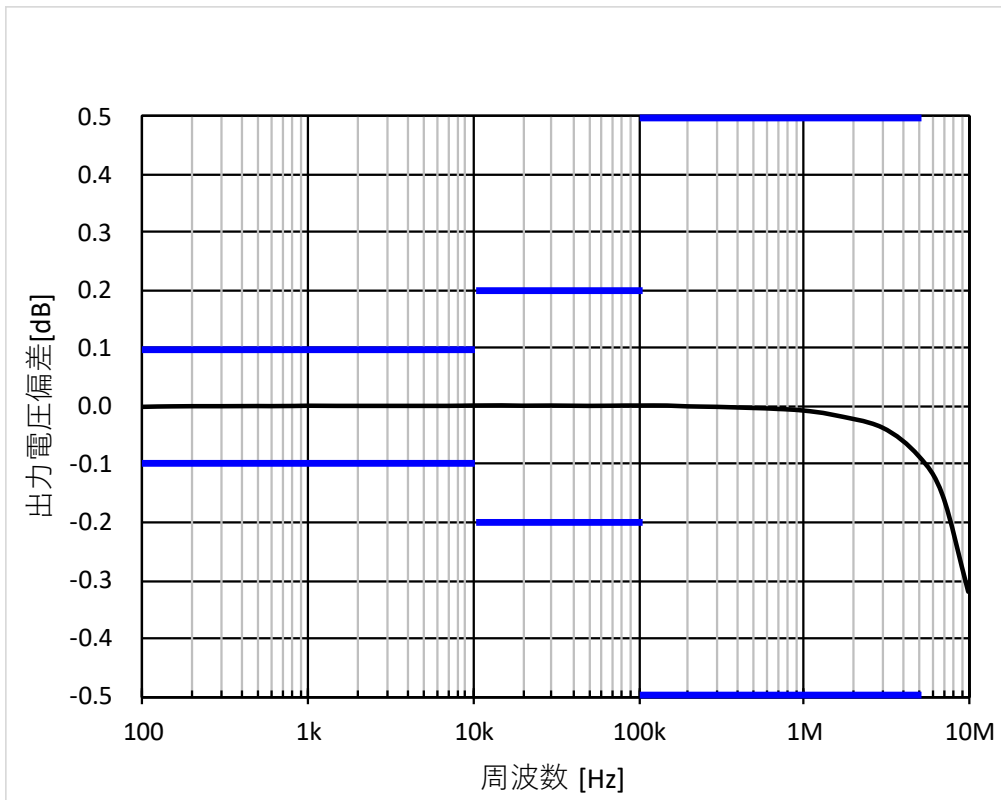


図 24 出力電圧偏差対周波数特性

保 証

この製品は、株式会社 エヌエフ回路設計ブロックが十分な試験及び検査を行って出荷しております。

この保証は、取扱説明書などの記載内容に従った正常な使用状態において発生した、部品又は製造上の不備による故障など当社の責任に基づく不具合について、ご購入日から1年間の保証期間内に当社又は当社代理店にご連絡いただいた場合に、無償修理または交換をお約束するものです。

なお、この保証は日本国内においてだけ有効です。日本国外で使用する場合は、当社又は当社販売代理店にご相談ください。

次の事項に該当する場合は、保証期間内でも有償修理または交換となります。

- 取扱説明書に記載されている使用方法及び注意事項に反する取扱いや保管によって生じた故障の場合
- お客様による輸送や移動時の落下、衝撃などによって生じた故障、損傷の場合
- お客様によって製品に改造（ソフトウェアを含む）が加えられている場合や、当社及び当社指定サービス業者以外による修理がなされている場合
- 外部からの異常電圧又はこの製品に接続されている外部機器（ソフトウェアを含む）の影響による故障の場合
- お客様からの支給部品又は指定部品の影響による故障の場合
- 腐食性ガス・有機溶剤・化学薬品等の雰囲気環境下での使用に起因する腐食等による故障や、外部から侵入した動物が原因で生じた故障の場合
- 火災、地震、水害、落雷、暴動、戦争行為、又はその他天災地変などの不可抗力的事故による故障、損傷の場合
- 当社出荷時の科学技術水準では予見できなかった事由による故障の場合

万一不具合があり、故障と判断された場合やご不明な点がありましたら、当社又は当社販売代理店にご連絡ください。

ご連絡の際は、型式名(又は製品名)、製造番号(SERIAL NO. または LOT NO.)とできるだけ詳しい症状やご使用の状態をお知らせください。

お願い

- 取扱説明書の一部または全部を，無断で転載または複写することは固くお断りします。
 - 取扱説明書の内容は，将来予告なしに変更することがあります。
 - 取扱説明書の作成に当たっては万全を期しておりますが，内容に関連して発生した損害などについては，その責任を負いかねますのでご了承ください。
もしご不審の点や誤り，記載漏れなどにお気づきのことがございましたら，当社または当社代理店にご連絡ください。
-

WS-251S3 取扱説明書

株式会社 エヌエフ回路設計ブロック
〒223-8508 横浜市港北区綱島東 6-3-20
TEL 045-545-8111(代)
<http://www.nfcorp.co.jp/>

© Copyright 2021, **NF Corporation**

