



波形選択シンセサイザモジュール
WAVEFORM SELECTABLE SYNTHESIZER MODULE

WS-210P3

取扱説明書

目次

| | |
|--|----|
| 1. 本製品を使用するにあたって | 1 |
| 1.1. 外観の確認..... | 1 |
| 1.2. 電源について | 1 |
| 1.3. 電源構成に対するピン処理について | 2 |
| 1.4. ロジックについて..... | 2 |
| 1.5. 絶対最大定格について..... | 3 |
| 1.6. 静電気対策について | 3 |
| 1.7. 洗浄について | 3 |
| 1.8. ロジック出力信号について..... | 3 |
| 2. 概説..... | 4 |
| 2.1. 概要 | 4 |
| 2.2. 特長 | 4 |
| 3. 設定・制御方法について | 5 |
| 3.1. パラメータ制御方式 | 5 |
| 3.2. 周波数設定方法..... | 5 |
| 3.3. 波形選択方法 | 6 |
| 3.4. 初期位相設定方法..... | 6 |
| 3.5. 波形同期パルス..... | 7 |
| 3.6. 基準位相, 波形同期パルスと各波形の関係..... | 7 |
| 3.7. ゲート発振..... | 10 |
| 3.8. 同期クロック (周波数同期) | 11 |
| 3.9. 位相同期パルス (位相同期)..... | 12 |
| 3.10. モジュール間同期方法 | 16 |
| 3.11. ゲート発振機能を用いた位相同期 | 18 |
| 4. 仕様..... | 19 |
| 4.1. 両電源構成時 ($AV_{SS} = -3.465\text{ V} \sim -2.850\text{ V}$) | 19 |
| 4.2. 片電源構成時 ($AV_{SS} = 0\text{ V}$) | 20 |
| 4.3. 環境・外形・質量..... | 20 |
| 4.3.1. 環境 | 20 |
| 4.3.2. モジュール外形 | 20 |
| 4.3.3. モジュール質量 | 20 |
| 4.4. 規格 | 20 |
| 5. ブロック図..... | 21 |
| 6. 入出力ピン配置..... | 22 |
| 7. 基本接続図..... | 23 |
| 7.1. 単独使用時 (正負両電源使用)..... | 23 |
| 7.2. 単独使用時 (片電源使用)..... | 24 |
| 7.3. 三相システム構築時 | 25 |
| 8. モジュール外形寸法図..... | 26 |

1. 本製品を使用するにあたって

1.1. 外観の確認

梱包箱の外側に異常な様子（傷やへこみなど）が見られましたら、製品を箱から取り出すときに、製品に影響していないかどうか十分に確認してください。

梱包箱から中身を取り出しましたら内容物を確認してください。製品の外観に異常な傷があるときは、当社または当社代理店にご連絡ください。

1.2. 電源について

本モジュールはデジタル部とアナログ部に分かれており、デジタル部は +3.3 V の正電源を、アナログ部は ±3.3 V の正負電源もしくは +3.3 V の正電源のみで動作します。具体的な電圧範囲と消費電流は以下の通りです。

デジタル部

| | | |
|-----------|-------------------|-------------------------------|
| 正電源電圧 | DV _{DD} | +3.3 V±5% (+3.135 V～+3.465 V) |
| 立ち上がり時間規定 | | 10 ms 以下 |
| 消費電流 | I _{DVDD} | 140 mA max. |

アナログ部

| | | |
|-------|-------------------|---------------------|
| 正電源電圧 | AV _{DD} | +2.850 V～+3.465 V |
| 消費電流 | I _{AVDD} | 33 mA max. (無負荷時) |
| 負電源電圧 | AV _{SS} | -3.465 V ～ -2.850 V |
| 消費電流 | I _{AVSS} | 5 mA max. (無負荷時) |

- DV_{DD} の電圧立ち上がりには時間規定があります。
電源投入から DV_{DD} の仕様電圧下限(+3.135 V)までを 10 ms 以下で立ち上げてください。10 ms 超の立ち上がり時間の場合はモジュールが正常に起動しない場合があります。
- DV_{DD} に対して電圧監視回路が内蔵されています。電源投入時は電圧監視回路によるリセットが解除された後でモジュールの動作を開始します。
- DV_{DD}, AV_{DD} と AV_{SS} それぞれに電源を割り当てることを推奨します。
また、AV_{DD} と AV_{SS} にはシリーズ電源などの低ノイズ電源の使用を推奨します。
- DV_{DD} と AV_{DD} は電源を共通化することができますが、DV_{DD} のノイズが AV_{DD} に混入しないよう十分なノイズ対策をしてください。デジタル部の雑音がアナログ回路に回り込み、出力信号に影響を与える場合があります。
- AV_{SS} を使用せず、正電源のみの片電源構成で動作させる事ができます。この場合はシンセサイザ出力の基準電圧をプラス側にオフセットさせて動作しますので、出力波形には直流成分が重畳されます。

1.3. 電源構成に対するピン処理について

本モジュールはアナログ部を両電源・片電源のいずれかの構成で使用しますが、どちらの場合もモジュールのピン処理（設定）が必要です。表 1 に従ってモジュールのピンを処理してください。

表 1 アナログ部電源構成によるピン処理方法

| アナログ部電源 | ピン名称 | ピン番号 | 処理内容 |
|---------|------------------|------|-------------------------------|
| 両電源構成 | AV _{SS} | 36 | 負電源に接続 |
| | OFFSET | 3 | 2 pin の AGND と接続 |
| 片電源構成 | AV _{SS} | 36 | 35 pin の AGND と接続 |
| | OFFSET | 3 | 34 pin の AV _{DD} と接続 |

- シンセサイザ出力の基準電位は OFFSET ピン(3pin)に印加された電圧の半分となり、この基準電位が直流オフセット成分として出力波形に重畳されます。
- 上記設定時の基準電位は、両電源動作時は 0 V (AGND)、片電源動作時は AV_{DD} の半分の電圧になります。この電位を基準に 2 V_{p-p} の波形が出力されます。
- OFFSET 端子には低インピーダンスで低雑音の電圧源を接続してください。

1.4. ロジックについて

本モジュールのデジタル部で使用するロジックは 3.3V LVC MOS です。

a) I/O Standard

本モジュールで使用するロジックの I/O Standard は 表 2 の通りです。

表 2 I/O Standard (3.3V LVC MOS)

| | | Min. | Typ. | Max. | Unit |
|-----------|------------------|-----------------------|--------|--------|------|
| 電源電圧 | DV _{DD} | +3.135 | +3.300 | +3.465 | V |
| 入力電圧 Low | V _{IL} | -0.3 | --- | +0.8 | V |
| 入力電圧 High | V _{IH} | +1.7 | --- | +3.6 | V |
| 出力電圧 Low | V _{OL} | --- | --- | +0.2 | V |
| 出力電圧 High | V _{OH} | DV _{DD} -0.2 | --- | --- | V |
| 出力電流 Low | I _{OL} | --- | --- | +2 | mA |
| 出力電流 High | I _{OH} | --- | --- | -2 | mA |

b) 入力ピン処理

本モジュールの以下のロジック入力ピンはモジュール内部で DV_{DD} へプルアップされています。(プルアップ抵抗値：7~34kΩ)

- ゲート発振入力ピン (24 pin)
- 同期クロック入力ピン (26 pin)

それ以外の入力ピンはプルアップ / プルダウンされていません。外部回路にてプルアップ / プルダウン (1~100 kΩ 程度) を行い、ロジックレベルの High / Low を確定させてください。

1.5. 絶対最大定格について

本モジュールの絶対最大定格は 表 3 の通りです。

表 3 絶対最大定格

| | 最小値 | 最大値 | 単位 |
|-----------------|------|-----------------|----|
| デジタル部 | | | |
| 正電源電圧 DV_{DD} | -0.3 | +3.6 | V |
| ロジック入力電圧 | -0.3 | $DV_{DD} + 0.3$ | V |
| ロジック出力電流 | -25 | +25 | mA |
| アナログ部 | | | |
| 正電源電圧 AV_{DD} | -0.3 | +3.6 | V |
| 負電源電圧 AV_{SS} | -3.6 | +0.3 | V |
| オフセット入力電圧 | -0.3 | $AV_{DD} + 0.3$ | V |
| シンセサイザ出力電流 | -50 | +50 | mA |

上記の絶対最大定格を超えるストレスを加えると製品に恒久的な損傷を与えることがあります。出力信号は GND と短絡しないようにしてください。

1.6. 静電気対策について

静電気による破壊、劣化を防止するために下記項目を守ってください。

- 静電気を帯びやすい容器を用いた運搬・保存はしないでください。
- 組立作業時は使用する機器や人体を接地してください。帯電防止用リストバンドを使用し、作業台表面および作業台周囲に導電性マットを敷いて接地する事を推奨します。
- 素手で端子を触らないでください。
- 半田ごてを使用する場合は、こて先を接地してください。

1.7. 洗浄について

部品実装後の基板洗浄について

- 超音波洗浄は禁止します
- 洗浄液は IPA (イソプロピルアルコール) を推奨します
- その他の洗浄液を使用する場合は、問題ないかを確認してください。

1.8. ロジック出力信号について

ロジック出力信号の短絡は許容されていません。出力短絡、または過負荷駆動は内部回路の損傷や特性劣化の原因になります。

2. 概説

2.1. 概要

「WS-210P3」は、DDS (Direct Digital Synthesizer: デジタル直接合成方式シンセサイザ) をベースにした信号発生モジュールです。

出力波形は正弦波・ランプ波・三角波・方形波から選択することができ、周波数を広範囲に設定できて且つ高確度です。初期位相の選択やモジュール間の同期機能を持っているので、複数モジュールを用いることにより多相の波形を出力するシステムを構築することができます。

モジュールの設定はパラレル信号を用いたバイナリ設定方式なので、手動操作での設定に対応するシステムを構築することが可能です。

2.2. 特長

- ① 選択できる出力波形 正弦波, ランプ波, 三角波, 方形波
- ② 広い周波数設定範囲 1 mHz~10 MHz
- ③ 高い周波数確度 ±(25 ppm + 50 nHz) 以内
- ④ 高い波形振幅分解能 14 bit
- ⑤ 小型パッケージ 47.5 mm×24.5 mm×7 mm (公差は各±1 mm),
2.54 mm pitch, 36 pin DIP
- ⑥ 広い動作温度範囲 -20°C~+80°C
- ⑦ 外部周波数基準 10 MHz に同期可能
- ⑧ パラレル信号を用いたバイナリ設定方式 (シリアル通信不要)
- ⑨ ゲート発振機能を搭載
- ⑩ 複数モジュール同期による多相発振システムを構築可能

3. 設定・制御方法について

3.1. パラメータ制御方式

- 本モジュールのパラメータ設定は設定入力ピンへの High/Low ロジックレベル印加で行います。シリアル通信は不要です。スイッチ等で信号レベルを切り替えられるようにすると、手動での操作が可能になります。
- 本モジュールは周波数、波形選択、波形反転・非反転、および初期位相の設定が可能です。

周波数 : 整数部 10 bit (1~1023) と 指数部 3 bit (10^{-3} ~ 10^{+4}) の掛け算で設定

波形選択 : 2bit で 正弦波, 立ち上がりランプ波, 三角波, 方形波 を選択

波形反転 : 1bit で 波形の反転, 非反転 を選択

初期位相 : 2bit で 0°, 90°, 120°, 240° を選択

3.2. 周波数設定方法

シンセサイザ出力の周波数は 10 bit の整数部と 3 bit の指数部, 計 13 ビンに対する High/Low ロジックレベルの設定で行います。整数部は 1~1,023, 指数部は 10^{-3} ~ 10^{+4} を表現し, 整数部×指数部で周波数を設定します。単位は Hz です。

例えば整数部を 500, 指数部を 10^{+1} に設定すると周波数の設定値は

$$500 \times 10^{+1} = 5,000 \text{ [Hz]} = 5 \text{ [kHz]}$$

となります。

整数部, 指数部の設定値と周波数計算に使う値との対応は 表 4 の通りです。ロジック Low が 0, High が 1 の正論理です。

表 4 周波数設定値

| 設定項目 | | 信号・バス名 | 設定値 (二進数) | 設定結果 (数字は十進数) |
|------|-------------------|-----------|--------------|--------------------|
| 周波数 | 整数部 | INT [0-9] | 00 0000 0000 | 0 Hz |
| | | | 00 0000 0001 | 1 Hz |
| | | | 00 0001 0000 | 16 Hz |
| | | | 01 0000 0000 | 256 Hz |
| | | | 11 1111 1111 | 1023 Hz |
| | 指数部 | EXP [0-2] | 000 | $10^{-3} = 1/1000$ |
| | | | 001 | $10^{-2} = 1/100$ |
| | | | 010 | $10^{-1} = 1/10$ |
| | | | 011 | $10^{+0} = 1$ |
| | | | 100 | $10^{+1} = 10$ |
| 101 | $10^{+2} = 100$ | | | |
| 110 | $10^{+3} = 1000$ | | | |
| 111 | $10^{+4} = 10000$ | | | |

- バス信号の [0]~[N] は, [0]が LSB です。
- 整数部で 0 Hz を設定すると, 設定された時点の位相で固定されます。位相が固定されるとシンセサイザ出力は直流になります。

周波数は設定の変更をしてから約 4 ms 後にシンセサイザ出力へ反映されます。

3.3. 波形選択方法

シンセサイザ出力の波形は 2bit の波形選択と 1bit の波形反転機能を用いて行います。

選択できる波形は 正弦波、立ち上がりランプ波、三角波、方形波 の四種類で、振幅は全て 2 V_{p-p} (無負荷時) です。これに加えて波形反転機能を用いることで、波形を反転させる事ができます。

波形を反転させる事で立ち上がりランプ波は立ち下がりランプ波になります。

正弦波、三角波と方形波は位相を 180° 進ませた波形になります。

(次節 3.4 で述べる初期位相を 180° に設定することに相当します)

波形選択、波形反転の設定値と設定結果の対応は 表 5 の通りです。

ロジック Low が 0, High が 1 の正論理です。

表 5 波形選択設定値

| 設定項目 | 信号・バス名 | 設定値 (二進数) | 設定結果 |
|------|------------|--------------|-----------|
| 波形選択 | FCTN [0-1] | 00 | 正弦波 |
| | | 01 | 立ち上がりランプ波 |
| | | 10 | 三角波 |
| | | 11 | 方形波 |
| 波形反転 | INVERT | 0 | 非反転 |
| | | 1 | 反転 |

- バス信号の [0]~[N] は、[0]が LSB です。
- 波形反転機能では直流オフセット成分 (基準電位オフセットを含む) の正負は反転しません。基準電位を軸にした波形の交流成分のみが反転します。

波形選択、波形反転は設定の変更をしてから約 280ns 後にシンセサイザ出力へ反映されます。選択できる波形の図 (非反転・反転) は 3.6 節を参照してください。

3.4. 初期位相設定方法

シンセサイザ出力の位相は 2bit の初期位相設定によりずらすことができます。この機能は複数モジュールを用い周波数と位相の基準を合わせた上で、モジュール間の位相をずらした多相出力のシステムを構築する際に使用します。

選択できる初期位相は 0°, 90°, 120°, 240° の四種類で、基準位相に加算されてシンセサイザ出力に反映されます。基準位相とはディジタル波形生成の計算に使用する基準となる位相のことです。

初期位相の設定値と設定結果の対応は 表 6 の通りです。

ロジック Low が 0, High が 1 の正論理です。

表 6 初期位相設定値

| 設定項目 | 信号・バス名 | 設定値 (二進数) | 設定結果 |
|------|-------------|--------------|----------------------|
| 初期位相 | PHASE [0-1] | 00 | 0° (基準位相に 0° 加算) |
| | | 01 | 120° (基準位相に 120° 加算) |
| | | 10 | 240° (基準位相に 240° 加算) |
| | | 11 | 90° (基準位相に 90° 加算) |

- バス信号の [0]~[N] は、[0]が LSB です。

初期位相は設定の変更をしてから約 280ns 後にシンセサイザ出力へ反映されます。

また正弦波，三角波，方形波に関しては前節 3.3 で説明した波形反転機能を用いると 180° の初期位相を設定する事と等価になり，上記四種類の初期位相と組み合わせる事ができます。初期位相と波形反転を組合わせた設定値と設定結果の対応は 表 7 の通りです。

表 7 初期位相設定値（正弦波，三角波，方形波）

| 設定項目 | 信号・バス名 | 設定値 (二進数) | 設定結果 |
|-------------------|----------------------------|--------------|----------------------|
| 初期位相 + 波形反転 | PHASE [0-1] + INVERT | 00 + 0 | 0° (基準位相に 0° 加算) |
| | | 10 + 1 | 60° (基準位相に 420° 加算) |
| | | 11 + 0 | 90° (基準位相に 90° 加算) |
| | | 01 + 0 | 120° (基準位相に 120° 加算) |
| | | 00 + 1 | 180° (基準位相に 180° 加算) |
| | | 10 + 0 | 240° (基準位相に 240° 加算) |
| | | 11 + 1 | 270° (基準位相に 270° 加算) |
| | | 01 + 1 | 300° (基準位相に 300° 加算) |

初期位相を 0°以外に設定した時の時間的位置関係については 3.6 節を参照してください。

3.5. 波形同期パルス

本モジュールからはシンセサイザ出力に同期したデューティ比 50%のロジック信号を出力するピンを備えています。信号立ち上がりタイミングは基準位相 0° で，立ち下がりタイミングは基準位相 180° です。この信号は低周波数信号出力時の外部測定器トリガ用途を想定しています。10 ns p-p 程度のジッタが含まれるので高周波数信号出力時の使用には注意してください。

3.6. 基準位相，波形同期パルスと各波形の関係

基準位相とはデジタル波形生成の計算に使用する基準となる位相のことで，モジュール内部での値です。前節 3.5 で説明した波形同期パルスは 3.4 節で説明した初期位相の設定は反映されず，常に基準位相の 0° と 180° のタイミングで信号レベルが変化します。したがって波形同期パルスを用いることで初期位相とシンセサイザ出力の位相を比較することができます。

初期位相設定 0°，波形反転なしの基本状態で，基準位相・波形同期パルスと各波形がどのような関係にあるかのタイムチャートを図 1 に示します。

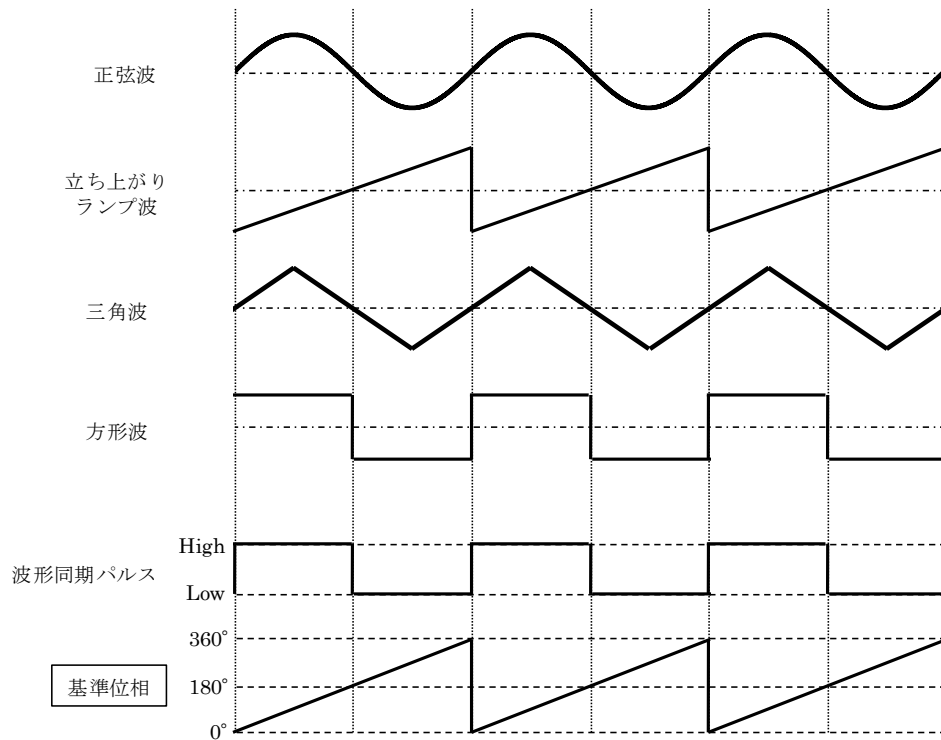


図 1 基準位相と各波形の関係（初期位相 0° 、波形反転なし）

次に初期位相 0° のまま波形を反転させた場合のタイムチャートを 図 2 に示します。

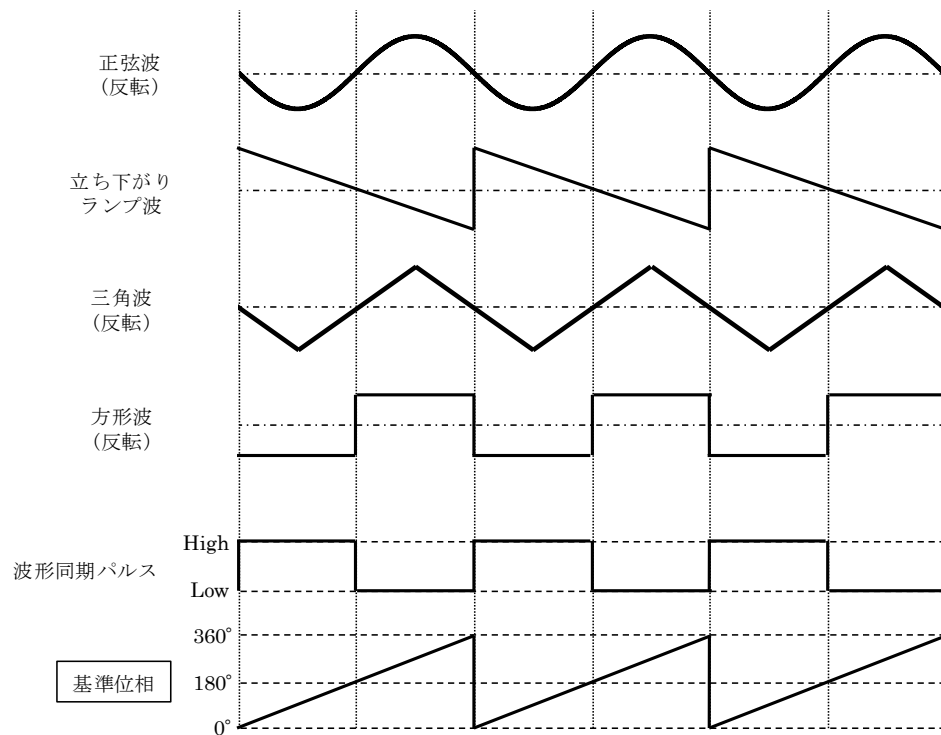


図 2 基準位相と各波形の関係（初期位相 0° 、波形反転あり）

立ち上がりランプ波が反転することにより立ち下がりランプ波となります。

次に初期位相設定 0° と 90° の正弦波を比較したタイムチャートを 図 3 に示します。

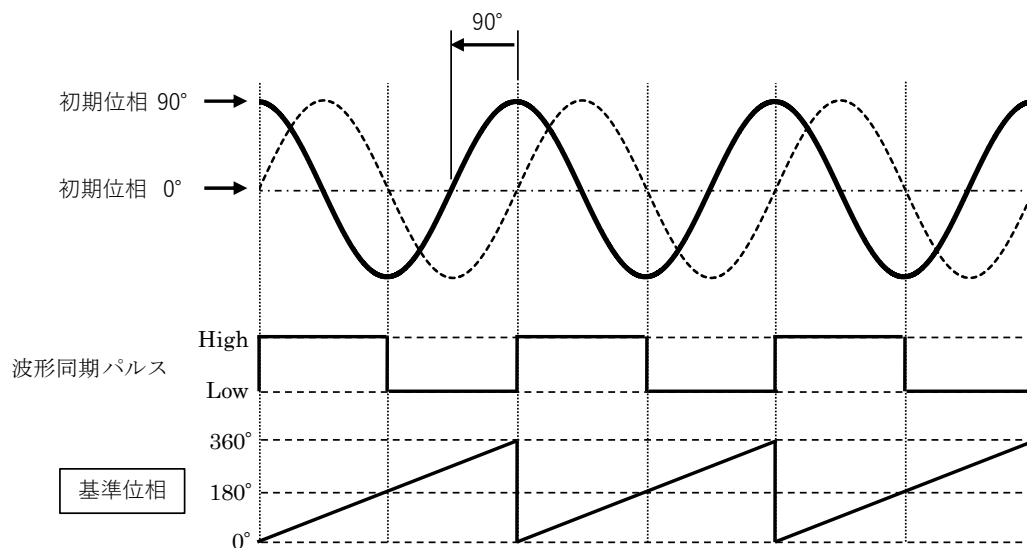


図 3 初期位相設定 0° と 90° の正弦波比較

初期位相設定 90° の波形は基準位相に 90° 加算された波形となります。基準位相 0° のときは $\sin(0^\circ + 90^\circ)$ の値に位置します。位相の値は 90° 進みますが、図 3 のように時間軸上で見ると初期位相 90° の波形は初期位相 0° の波形から位相 90° 分だけ左側へ戻る形になることに注意してください。

同様に初期位相設定 0° , 120° , 240° の正弦波を比較したタイムチャートを 図 4 に示します。

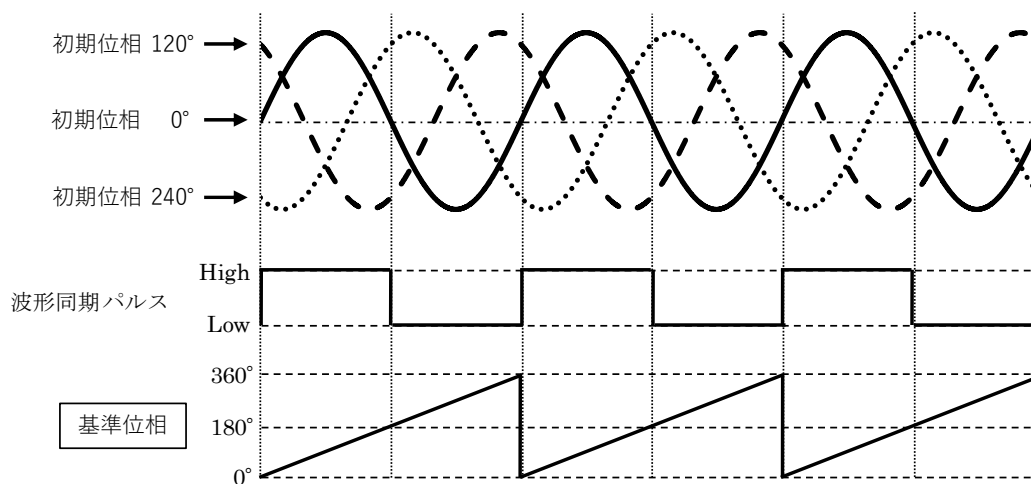


図 4 初期位相設定 0° , 120° , 240° の正弦波比較

この場合も初期位相設定値と波形の位置関係に注意してください。

3.7. ゲート発振

本モジュールではゲート発振が可能で、1bit の制御入力ピンを備えています。

ゲート発振の設定値と設定結果の対応は 表 8 の通りです。
ロジック Low が 0, High が 1 の正論理です。

表 8 ゲート発振設定値

| 信号名 | ピン名称 | 設定値 (二進数) | 設定結果 |
|-------|------|--------------|--------------------------|
| ゲート発振 | GATE | 0 | 基準位相 0° で発振を停止する |
| | | 1 | 基準位相 0° から発振を開始する |

- この信号はモジュール内部で DV_{DD} (+3.3V) ヘブルアップされています。
ピンを開放状態にすると常に発振を続けます
- 初期位相を設定している場合は、発振の開始・停止位相は初期位相の値になります。
(停止中も初期位相の値に相当する電圧がシンセサイザ出力部に現れます)

図 5 にゲート発振信号と出力信号の関係を、正弦波出力を例にタイムチャートで示します。(初期位相 0° , 出力波形反転なしの場合)

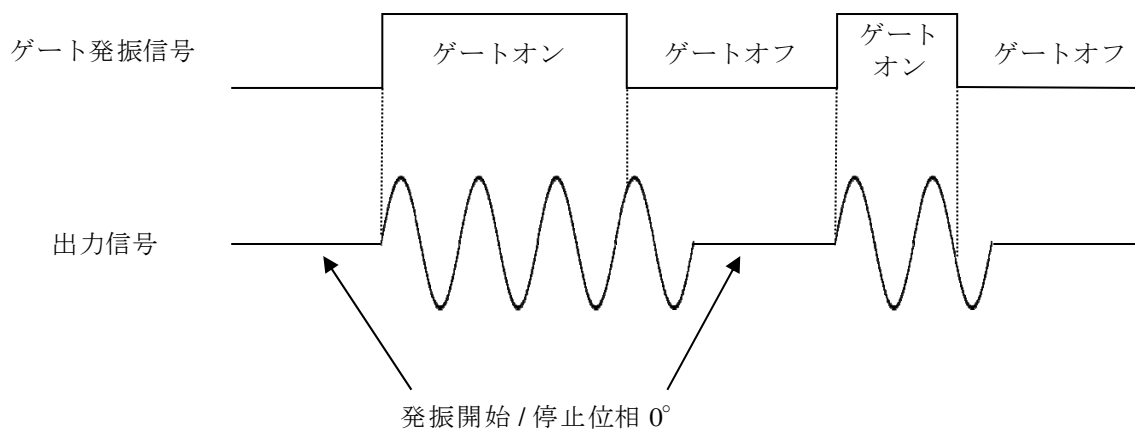


図 5 ゲートと発振の開始・停止の関係

ゲート発振は設定を 0 から 1 にしてから約 150ns 後に発振を開始します。

また設定を 1 から 0 にして約 120 ns 経った状態を基準に、次の基準位相 0° の位置で停止します。基準位相 0° 直前でゲート発振信号を 0 にしても 120 ns 後の状態が基準位相 0° を超していた場合、シンセサイザ出力は次の基準位相 0° まで発振を続けますので注意してください。

3.8. 同期クロック (周波数同期)

a) 同期クロック入出力信号

本モジュールは内蔵している周波数基準を用いて動作しますが、外部の 10 MHz 周波数基準に同期して動作する機能があります。またモジュールが使用している周波数基準を元に 10 MHz のロジック信号を出力する機能があります。

この機能は複数台モジュールを使用するときモジュール間の周波数同期を取る場合、あるいは外部の装置と周波数同期を取る場合などに使用します。

同期クロック入出力信号の説明は 表 9 の通りです

表 9 同期クロック入出力信号

| 信号名 | ピン名称 | 入出力 | 説明 |
|--------|-----------|-----|---|
| 同期クロック | CLOCK IN | 入力 | 10 MHz \pm 1 kHz (立ち上がりエッジで同期) デューティ比 40~60% |
| | CLOCK OUT | 出力 | 10 MHz, デューティ比 45~55% |

- 入力信号はモジュール内部で DV_{DD} (+3.3V) へプルアップされています。周波数同期機能を使用しない場合は入力ピンを開放状態にしてください。

入力ピンに同期クロックが入力されると自動的に内蔵周波数基準から同期クロックを用いた動作に切り替わります。モジュールは入力されている同期クロックの周波数が 10 MHz であるとして動作します。例えば同期クロックの周波数が 10.001 MHz であるときにモジュールの出力設定を 10 MHz にすると、シンセサイザ出力の周波数は 10.001 MHz になります。

同期クロックが入力されているときの入出力ピン間の遅延時間は約 3 ns です。

b) マスタモジュールとスレーブモジュール

同期クロックが入力されていないモジュールはマスタモジュールとして動作します。

同期クロックが入力されているモジュールはスレーブモジュールとして動作し、周波数の切り替えや基準位相リセットのタイミングを次節 3.9 で説明する位相同期パルスにより制御されます。

1 台での動作であっても同期クロックを入力している場合は、スレーブモジュールとして動作します。

3.9. 位相同期パルス (位相同期)

前節 3.8 で周波数同期について記述しましたが、複数モジュールを用いて多相システムを構築するためにはそれぞれのモジュールの基準位相も合わせる必要があります。周波数と位相の基準を合わせた上で、マスタモジュールとスレーブモジュールの初期位相を異なる設定にすると、位相差を制御した多相出力を得る事ができます。

位相同期パルスはマスタモジュールがスレーブモジュールに対して、周波数変更を有効にするタイミングと基準位相をリセット (0° に設定) するタイミングを指示するための出力信号です (位相リセットを伴わず、周波数変更のタイミングのみ指示することもできます)。スレーブモジュールはこの信号を受信して周波数変更と基準位相のリセットを行います。

マスタモジュールはパルスを出力する際に自身の周波数変更と基準位相のリセットも行うので、モジュール全体の周波数と位相リセットタイミングを管理することが可能になります。

a) 位相リセット時の波形

基準位相リセットを伴う周波数変更と基準位相リセットを伴わない周波数変更の違いを、初期位相 0° の正弦波を例に 図 6 に示します。

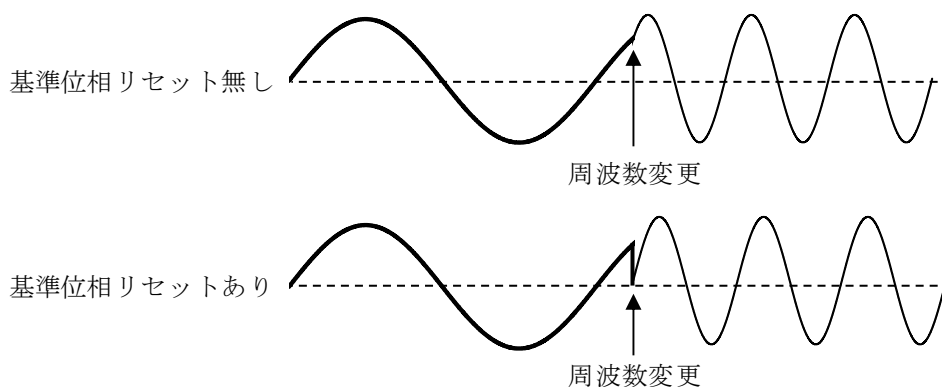


図 6 周波数変更時の基準位相リセット有無

b) 周波数変更と位相リセットのタイミング

シンセサイザ出力の周波数変更や位相リセットを伴う動作は、「周波数設定ピンの入力レベル変化時」と「位相同期パルス入力部への立ち上がり/立ち下がりエッジ印加」がトリガとなります。またマスタモジュールとスレーブモジュールで動作が異なります。

表 10 に周波数設定ピン入力レベル変化時のモジュール動作を、表 11 に位相同期パルス入力部への立ち上がり/立ち下がりエッジ印加時のモジュール動作を示します。

表 10 「周波数設定ピン入力レベル変化時」のモジュール動作

| | 位相同期パルス入力部 ロジック状態 | モジュール動作 |
|---------------|----------------------|--|
| マスタ モジュール | Low | 周波数変更内容をシンセサイザ出力に反映。 同時に基準位相を 0° にリセット (位相は不連続) 15 us 幅の立ち上がりパルスを出力 |
| | High | 周波数変更内容をシンセサイザ出力に反映。 基準位相のリセットは行わない (位相は連続) 15 us 幅の立ち下がりパルスを出力 |
| スレーブ モジュール | Low | 周波数設定を変更してもシンセサイザ出力の周波数は変化無し (入力部へのエッジ入力を待機) |
| | High | |

- 一台のマスタモジュールを使用する場合で周波数変更時の位相連続性が必要な場合は、位相同期パルス入力部を DV_{DD} ヘプルアップ処理してください。

表 11 「位相同期パルス入力部への立ち上がり/立ち下がりエッジ印加時」のモジュール動作

| | 位相同期パルス入力部 ロジック状態 | モジュール動作 |
|---------------|--------------------------|--|
| マスタ モジュール | 立ち上がりエッジ (Low → High) | 基準位相を 0° にリセット |
| | 立ち下がりエッジ (High → Low) | シンセサイザ出力に変化無し |
| スレーブ モジュール | 立ち上がりエッジ (Low → High) | 入力ピンで設定されている周波数をシンセサイザ出力に反映 同時に基準位相を 0° にリセット (位相は不連続) |
| | 立ち下がりエッジ (High → Low) | 入力ピンで設定されている周波数をシンセサイザ出力に反映 基準位相のリセットは行わない (位相は連続) |

位相同期パルス入力端子には、最初のエッジを検出してから続くエッジを認識しないデッドタイムが 22 us 程度存在します。表 10 でマスタモジュールが出力する 15us 幅のパルスが他モジュールの入力ピンに入力された場合、図 7 のように最初の立ち上がりエッジのみ認識して立ち下がりエッジは無視されます。

また図 8 のように High→Low をチャタリング含みで変化させた場合は最初の立ち下がりエッジのみ認識し、その後デッドタイム内の立ち上がり/立ち下がりエッジは全て無視されます。この場合、立ち上がりエッジが認識されないので基準位相のリセットは行われません。

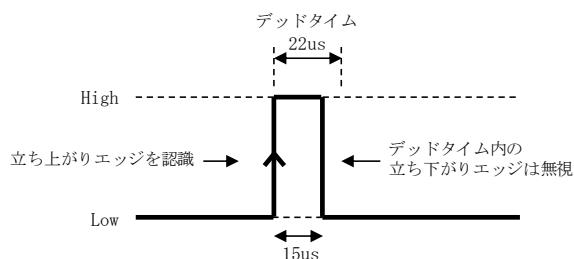


図 7 パルス入力時のデッドタイム

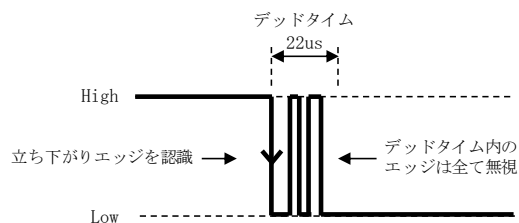


図 8 立ち下がりエッジ入力時のデッドタイム

c) 位相同期パルス入出力信号とモジュール動作の関係

位相同期パルス出力部の基本動作は、入力信号をそのまま出力することです。入力が **Low** であれば出力も **Low**、入力が **High** であれば出力も **High** になります。パルス信号が入力されれば同じパルス信号を出力します。この動作に加えてマスタモジュールは周波数変更時に 15us 幅のパルス信号を出力します。

位相同期パルス入出力ピン間の遅延時間は約 10 ns です。

マスタモジュールの位相同期パルス入出力信号とモジュール動作の関係を表 12 に、スレーブモジュールの入出力信号とモジュール動作の関係を表 13 に示します。

表 12 位相同期パルス入出力信号とモジュール動作 (マスタモジュール)

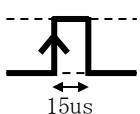
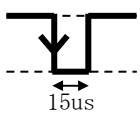
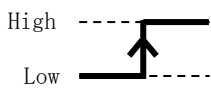
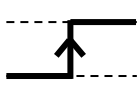

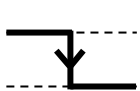
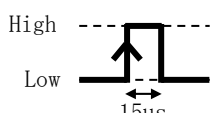
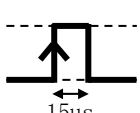
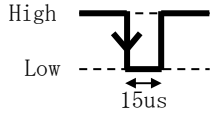
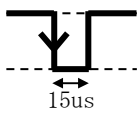
| 入力信号 | モジュール動作 | 出力信号 |
|---|--|---|
| High ----- Low _____ | [周波数以外の設定変更] 変更内容をシンセサイザ出力へ反映 | High ----- Low _____ |
| High ----- Low _____ | [周波数設定変更時] シンセサイザ出力の周波数を変更 基準位相を 0° にリセット (位相は不連続) | High ----- Low -----  15us |
| High _____ Low ----- | [周波数以外の設定変更] 変更内容をシンセサイザ出力へ反映 | High _____ Low ----- |
| High _____ Low ----- | [周波数設定変更時] シンセサイザ出力の周波数を変更 基準位相のリセットは行わない (位相は連続) | High ----- Low -----  15us |
| High ----- Low -----  | 基準位相を 0° にリセット | High ----- Low -----  |
| High ----- Low -----  | 変化無し | High ----- Low -----  |
| High ----- Low -----  15us | 基準位相を 0° にリセット | High ----- Low -----  15us |
| High ----- Low -----  15us | 変化無し | High ----- Low -----  15us |

表 13 位相同期パルス入出力信号とモジュール動作 (スレーブモジュール)

| 入力信号 | モジュール動作 | 出力信号 |
|--|--|--|
| High ----- Low ————— | [周波数以外の設定変更] 変更内容をシンセサイザ出力へ反映 | High ----- Low ————— |
| | [周波数設定変更時] 周波数設定を変更してもシンセサイザ出力の周波数は変化無し | High ----- Low ————— |
| High ————— Low ----- | [周波数以外の設定変更] 変更内容をシンセサイザ出力へ反映 | High ————— Low ----- |
| | [周波数設定変更時] 周波数設定を変更してもシンセサイザ出力の周波数は変化無し | High ————— Low ----- |
| High ----- Low ————— ↑ | 設定されている周波数をシンセサイザ出力に反映 同時に基準位相を 0° にリセット (位相は不連続) | High ----- Low ————— ↑ |
| High ————— Low ----- ↓ | 設定されている周波数をシンセサイザ出力に反映 基準位相のリセットは行われない (位相は連続) | High ————— Low ----- ↓ |
| High ----- Low ————— ↑ ↓ 15us | 設定されている周波数をシンセサイザ出力に反映 同時に基準位相を 0° にリセット (位相は不連続) | High ----- Low ————— ↑ ↓ 15us |
| High ————— Low ----- ↓ ↑ 15us | 設定されている周波数をシンセサイザ出力に反映 基準位相のリセットは行われない (位相は連続) | High ————— Low ----- ↓ ↑ 15us |

【注意】

電源投入時、モジュールが立ち上がる前から同期クロックが入力されている場合はスレーブモジュールとして立ち上がります。モジュールは周波数設定 0 Hz で立ち上がってから周波数設定ピンの状態を確認しますので、シンセサイザ出力初期状態は波形・初期位相設定に応じた直流電圧出力(0 Hz)となります。

この場合、周波数設定ピンで設定している周波数をシンセサイザ出力に反映させるためには、位相同期パルス入力ピンに立ち上がりエッジ、または立ち下がりエッジを印加する必要がありますのでご注意ください。

3.10. モジュール間同期方法

a) モジュール間接続と周波数同期

複数のモジュールを同期させて多相システムを構築する場合はモジュール間で同期クロック信号 (CLK_OUT → CLK_IN) と位相同期パルス信号 (PHYSYNC_OUT → PHYSYNC_IN) を接続してください。

三相システムを構築する場合のモジュール間接続例を 図 9 に示します。(丸印の中にある番号はピン番号を示します)

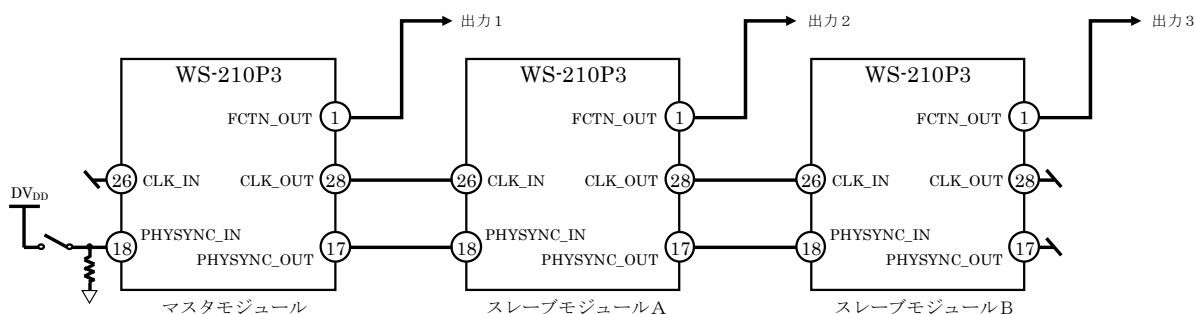


図 9 複数モジュール間の接続 (三相システム時)

図 9 の場合は同期クロック信号が入力されていない左側のモジュールがマスタモジュールとなり、中央と右側のスレーブモジュールA、Bがマスタモジュールの周波数基準と周波数同期を取ります。

b) 位相同期方法

全てのモジュールの周波数設定が同時に切り替えられる構成の場合は以下の方法で位相の同期を行えます。

- マスタモジュールの位相同期パルス入力が Low の状態で周波数を変更する。

この方法では周波数設定変更してから約 4 ms 後にマスタモジュールは基準位相リセットを伴う周波数変更を行い、同時に立ち上がりパルスを送るモジュールAに出力します。スレーブモジュールAはパルスを入力されると基準位相リセットを伴う周波数変更を行い、同時に入力されたパルスを送るモジュールBに出力します。スレーブモジュールBも同じようにパルスを入力されると基準位相リセットを伴う周波数変更を行うので全モジュール間の基準位相が揃います。

注意点としてマスタモジュールの位相同期パルス入力は Low のままなので、次に周波数変更を行う際にも基準位相リセットを伴うことになります。

全ての周波数設定が同時に切り替えられない構成の場合 (各モジュールに周波数設定用のスイッチを設けている場合など) は、上記の方法を行う前に全てのスレーブモジュールの周波数設定をあらかじめ変更しておき、最後にマスタモジュールの周波数設定を変更してください。前節 3.9 の表 13 に示すように、立ち上がりエッジが入力されるまではスレーブモジュールの周波数は変化しません。立ち上がりエッジが入力されたタイミングで位相リセットを伴う周波数変更が行われます。

先にマスタモジュールの周波数設定を変更してしまった場合は、全てのスレーブモジュール周波数設定をマスタモジュールと同じに揃えてから、以下の方法で位相の同期を行えます。

- マスタモジュールの位相同期パルス入力を Low → High に切り替える

この方法では立ち上がりエッジでマスタモジュールの基準位相がリセットされます。同時にスレーブモジュールAとスレーブモジュールBへの入出力も Low → High に切り替わるので、全てのモジュールの基準位相が同時にリセットされて基準位相が揃います。また、スレーブモジュールのシンセサイザ出力周波数も同じタイミングで切り替わります。

この場合はマスタモジュールの位相同期パルス入力が高レベルに変化しているため、次に周波数変更を行うときには基準位相リセットを伴いません。

c) モジュール間信号遅延

3.8節、3.9節で記述したようにクロック同期信号と位相同期パルス信号にはモジュール内入出力遅延があり、図9の場合ではマスタモジュールとスレーブモジュールBの間に約10 ns程度の遅延が生じます。また、4台以上のモジュール接続、モジュール間へのバッファ回路設置やモジュール間の配線が長くなると更に遅延が加算されます。

この時間遅延はモジュール間相対位相の誤差となり、周波数が高いほど位相としての誤差が大きくなります。仮に10 nsの遅延が生ずるとすると1 MHz出力時のモジュール間相対誤差は3.6°となります(1 MHzは周期1000 nsなので $360^\circ \times 10 \text{ ns} / 1000 \text{ ns} = 3.6^\circ$)

この遅延が許容できない場合は図10のような外部回路を組むことで影響を少なくすることができます。

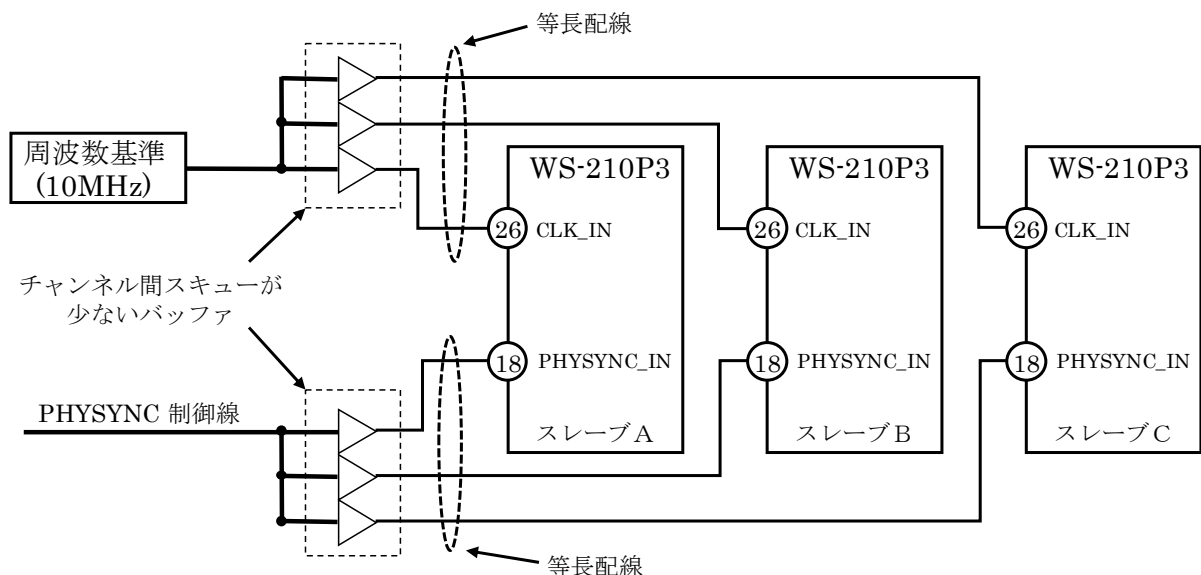


図 10 モジュール間遅延を低減する回路

注意点として図10のモジュールは全てスレーブモジュールになるので周波数変更や位相リセットのタイミングは外部から制御する必要があります。

d) 多相システムの構築例

- 初期位相 0°, 90° に設定した直交検波波形
- 初期位相 0°, 120°, 240° に設定した三相交流波形

正弦波、三角波、方形波に関しては 60° 単位、90° 単位で設定できますので、更に幅広い用途に対応できます。

e) 多相システムの電源起動方法

- 全てのモジュールの電源を同時に立ち上げてください。

モジュールは DV_{DD} 電源監視回路による内部リセットが解除されると、最初に同期クロックの入出力が有効になります。モジュール間の周波数同期が行われ、マスタモジュールとスレーブモジュールが決まります。次に全てのモジュールは周波数 0 Hz で、波形・初期位相は設定ピンの設定にて立ち上がります。

ここでマスタモジュールは周波数設定ピンの設定を読み込み、シンセサイザ出力準備が完了してから発振開始まで 約 4 ms 待機します。この待機時間は他のスレーブモジュールが立ち上がるまでの時間差を吸収するためのものです。4 ms 待機したあと、マスタモジュールは設定ピンで設定されている周波数をシンセサイザ出力に反映させると同時に位相同期パルスを出力します。

スレーブモジュールは位相同期パルスを受信して、設定ピンで設定されている周波数をシンセサイザ出力に反映させます。このタイミングは全てのモジュールが基準位相 0° で待機している状態なので、位相同期パルスが立ち上がりパルスでも立ち下がりパルスでも基準位相 0° で同期する事になります。

3.11. ゲート発振機能を用いた位相同期

ゲート発振機能を用いることで簡易的に位相同期を取ることができます。前提条件は同期クロックによりモジュール間の周波数同期が取れており、全モジュールのシンセサイザ出力周波数が同じになっていることです。

a) 発振開始時

モジュールはゲート発振が停止しているとき、基準位相 0° で待機しています。したがって全てのモジュールに対し同時にゲート発振を開始すれば基準位相が揃う事になります。

注意点としてゲート発振信号はモジュールに同期した信号ではないため、モジュールへの信号入力タイミングとモジュールが入力信号を取り込むタイミングの関係がランダムになります。全モジュールのゲート発振開始信号を同時に入力したとしてもタイミングによってはモジュール間で 10 ns 程度の開始時間ずれが生じる場合があります(生じない場合もあります)。10 ns 程度の時間不確定性によるずれが問題になる場合は前節 3.10 の方法を用いてください。

b) 発振停止時

またゲート発振を停止する場合も同様で、全モジュールのゲート発振停止信号を同時に入力したとしてもタイミングによっては一部のモジュールが 1 周期多く発振してから停止する事があります。これは停止タイミングを今の周期にするか次の周期にするかどうかの切替タイミングに発振停止信号が入力され、且つクロック同期のわずかな遅延などで停止タイミングの判断が分かれた場合に起こります。

この現象が起こるタイミングはシンセサイザ出力 1 周期のうち、長くて 10 ns 程度です。周波数が高いと周期が短くなり発生頻度が上がりますのでご理解の上で使用してください。

また一部のモジュールのみ発振を停止した場合、停止したモジュールは基準位相 0° で待機します。他の発振を続けているモジュールとの位相同期関係は解除された状態になりますので注意してください。

4. 仕様

特記なき場合は、出力負荷 50 Ω，周囲温度 23±5°C。

確度(以上，以下，以内などの範囲)を示した数値は保証値です。

typ. の文字を併記している確度は代表値です。

確度(範囲)がない項目は参考値です。

4.1. 両電源構成時 (AV_{SS} = -3.465 V ~ -2.850 V)

本モジュールは以下に示す波形を出力します (信号名: FCTN OUT, ピン番号: 1 pin)

| | | |
|-----------------------|--|-------------------------------|
| DA 変換分解能 | 14 bit | |
| 出力波形 | 正弦波, 立ち上がりランプ波, 三角波, 方形波 および上記の波形を反転させた波形 | |
| 出力インピーダンス | 50 Ω | |
| 負荷インピーダンス | 50 Ω 以上 | |
| 周波数範囲 | 1 mHz ~ 10 MHz | |
| 周波数確度 | ±(25 ppm + 50 nHz) 以内 *1 | |
| 周波数安定度 (温度) | ±2 ppm 以内 | -20~+80°C |
| 出力振幅 | 2 V _{p-p} ±1% 以内 | 無負荷時, 1 kHz |
| 正弦波特性 | ±100 ppm/°C typ. | -20~+80°C, 1 kHz |
| 出力振幅安定度 (温度) (周波数) | 基準周波数 : 1 kHz | |
| | ±0.1 dB 以内 | ~ 10 kHz |
| | ±0.2 dB 以内 | ~ 100 kHz |
| | ±0.5 dB 以内 | ~ 5 MHz |
| | ±1.0 dB 以内 | ~ 10 MHz |
| 直流オフセット電圧 *2 | ±15 mV 以内 | 無負荷時, 2-3 pin 接続時 |
| 全高調波ひずみ率 | 0.1%以下, 0.01%以下 typ. | 10 Hz~100 kHz 10 次高調波までを合算 |
| 高調波スプリアス | -60 dBc 以下 typ. | ~ 1 MHz |
| | -50 dBc 以下 typ. | ~ 5 MHz |
| | -40 dBc 以下 typ. | ~ 10 MHz |
| 非高調波スプリアス | -70 dBc 以下 typ. | ~ 1 MHz |
| | -60 dBc 以下 typ. | ~ 5 MHz |
| | -50 dBc 以下 typ. | ~ 10 MHz |
| 方形波波形特性 | | |
| デューティ比率 | 50% | |
| ジッタ | 10 ns p-p | |
| オーバーシュート | 5% | |
| 立ち上がり/立ち下がり時間 | 40 ns | |

*1) 内蔵の周波数基準使用時

*2) 外部回路にて調整可能です。7. 基本接続図参照。

4.2. 片電源構成時 ($AV_{SS} = 0\text{ V}$)

片電源構成時の特性は以下に示す直流オフセット電圧以外は「4.1 両電源構成時」と同じです。

直流オフセット電圧 *3 $(AV_{DD}/2)$ [V] $\pm 2\%$ 無負荷時, 3-34 pin 接続時

- *3) 片電源で使用できるように出力をオフセットさせる事ができ、オフセット入力端子印加電圧の半分が出力に現れます。オフセット入力端子には低インピーダンスで低雑音の電圧源を接続してください。

4.3. 環境・外形・質量

4.3.1. 環境

動作温湿度範囲 $-20^{\circ}\text{C} \sim +80^{\circ}\text{C}$, 10~80%RH, 結露なきこと
保存温湿度範囲 $-30^{\circ}\text{C} \sim +80^{\circ}\text{C}$, 10~80%RH, 結露なきこと

4.3.2. モジュール外形

パッケージ 2.54 mm pitch, 36 pin DIP, 列間 22.86 mm
寸法 47.5 mm×24.5 mm×7 mm (公差は各 ± 1 mm)

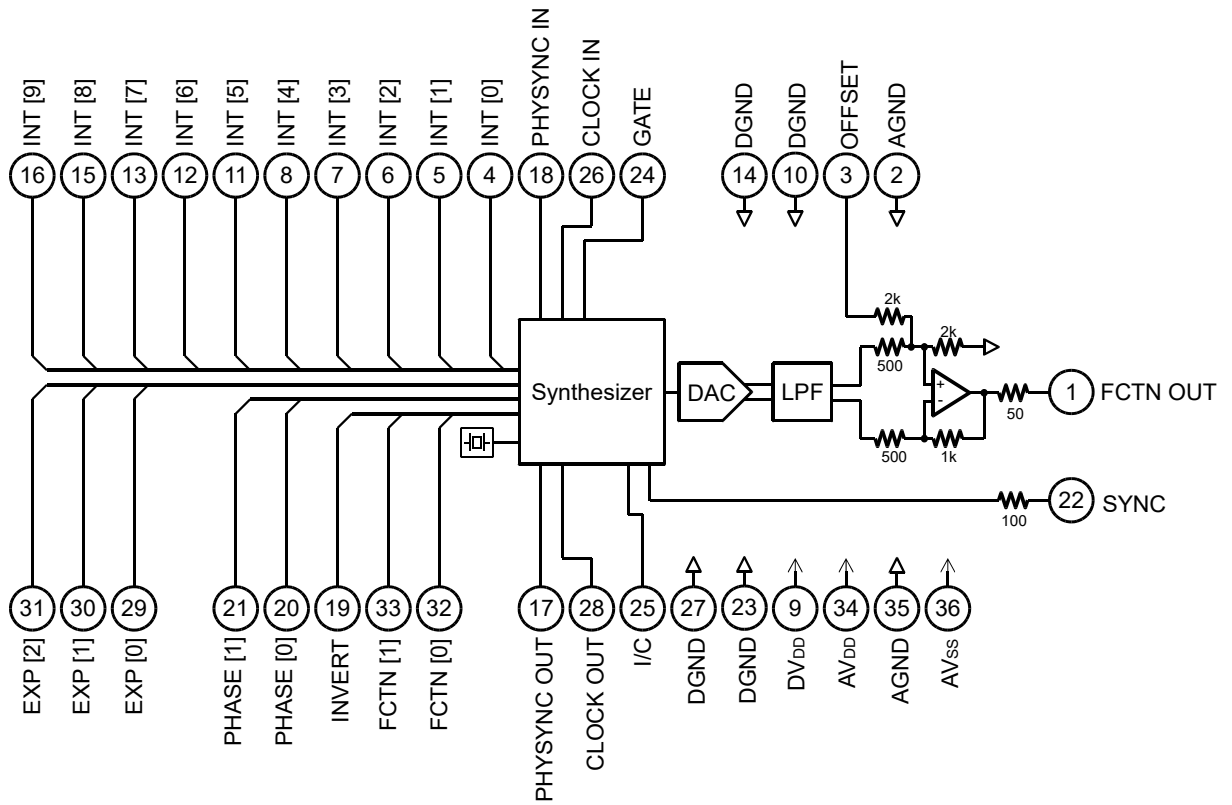
4.3.3. モジュール質量

質量 約 7 g

4.4. 規格

RoHS 指令 Directive 2011/65/EU

5. ブロック図



6. 入出力ピン配置

| ピン番号 | 信号名 | 入出力*4 | 説明 |
|------|------------------|-------|---|
| 1 | FCTN OUT | O | シンセサイザ出力 |
| 2 | AGND | P | アナログ部グラウンド *5 |
| 3 | OFFSET | I | 出力波形へのオフセット設定ピン アナログ両電源時：AGND ピンと短絡 (出力波形の基準電位が AGND になります) アナログ片電源時：AV _{DD} ピンと短絡 (出力波形の基準電位が AV _{DD} の半分の値に オフセットされます) |
| 4 | INT [0] | I | 周波数整数部設定 0 (LSB) |
| 5 | INT [1] | I | 周波数整数部設定 1 |
| 6 | INT [2] | I | 周波数整数部設定 2 |
| 7 | INT [3] | I | 周波数整数部設定 3 |
| 8 | INT [4] | I | 周波数整数部設定 4 |
| 9 | DV _{DD} | P | デジタル部正電源 |
| 10 | DGND | P | デジタル部グラウンド *5 |
| 11 | INT [5] | I | 周波数整数部設定 5 |
| 12 | INT [6] | I | 周波数整数部設定 6 |
| 13 | INT [7] | I | 周波数整数部設定 7 |
| 14 | DGND | P | デジタル部グラウンド *5 |
| 15 | INT [8] | I | 周波数整数部設定 8 |
| 16 | INT [9] | I | 周波数整数部設定 9 (MSB) |
| 17 | PHYSYNC OUT | O | 位相同期パルス出力 |
| 18 | PHYSYNC IN | I | 位相同期パルス入力 |
| 19 | INVERT | I | 波形反転・非反転設定 |
| 20 | PHASE [0] | I | 初期位相設定 0 (LSB) |
| 21 | PHASE [1] | I | 初期位相設定 1 (MSB) |
| 22 | SYNC | O | 出力波形との同期パルス。外部測定器のトリガ用途等 |
| 23 | DGND | P | デジタル部グラウンド *5 |
| 24 | GATE | I | ゲート発振用途入力 |
| 25 | I/C *6 | - | 外部からの接続禁止 |
| 26 | CLOCK IN | I | 外部クロック同期用入力 |
| 27 | DGND | P | デジタル部グラウンド *5 |
| 28 | CLOCK OUT | O | 外部クロック同期用出力 |
| 29 | EXP [0] | I | 周波数指数部設定 0 (LSB) |
| 30 | EXP [1] | I | 周波数指数部設定 1 |
| 31 | EXP [2] | I | 周波数指数部設定 2 (MSB) |
| 32 | FCTN [0] | I | 波形設定 0 (LSB) |
| 33 | FCTN [1] | I | 波形設定 1 (MSB) |
| 34 | AV _{DD} | P | アナログ部正電源 |
| 35 | AGND | P | アナログ部グラウンド *5 |
| 36 | AV _{SS} | P | アナログ部負電源 |

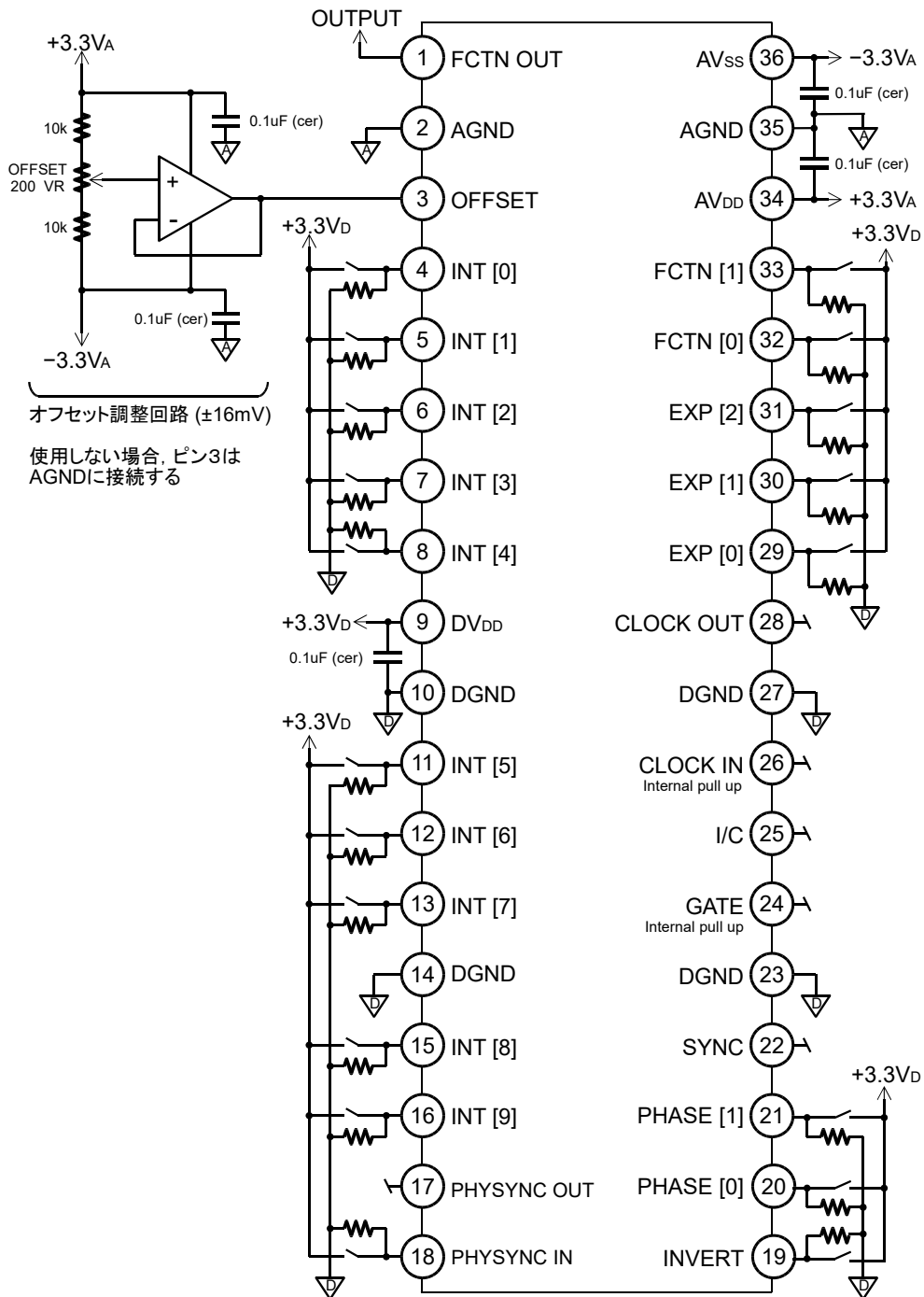
*4) I: Input, O: Output, P: Power

*5) DGND と AGND はモジュール内で接続されています

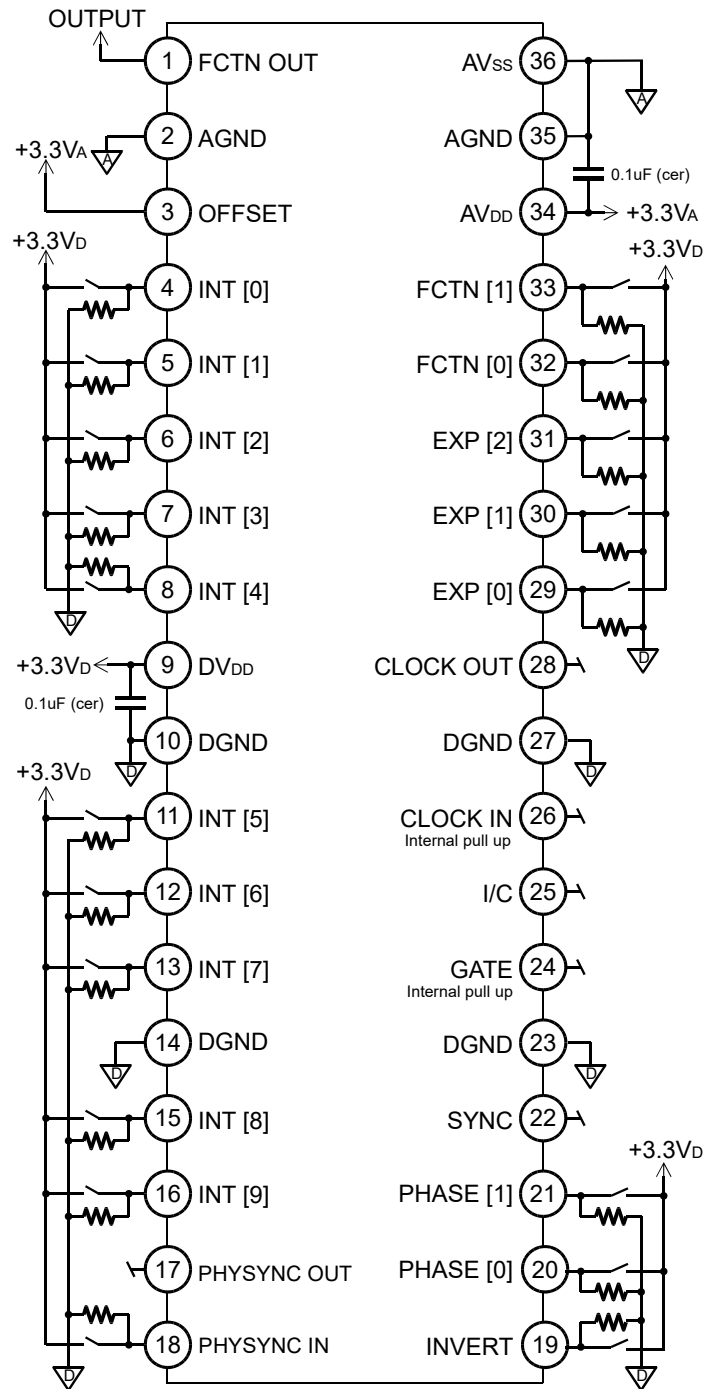
*6) I/C: Internal Connection, 製造用途で内部接続されているため、外部からの接続を禁止します

7. 基本接続図

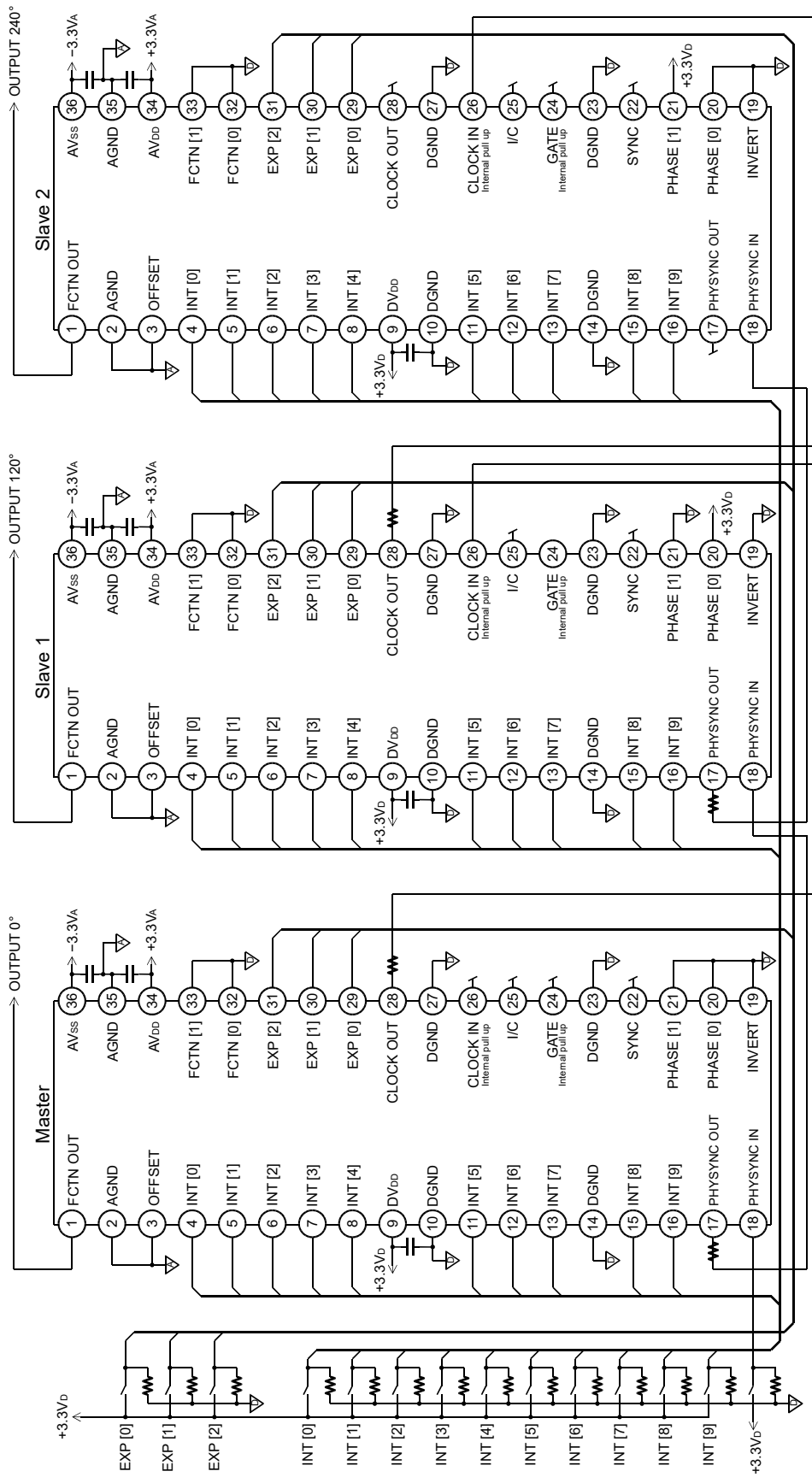
7.1. 単独使用時（正負両電源使用）



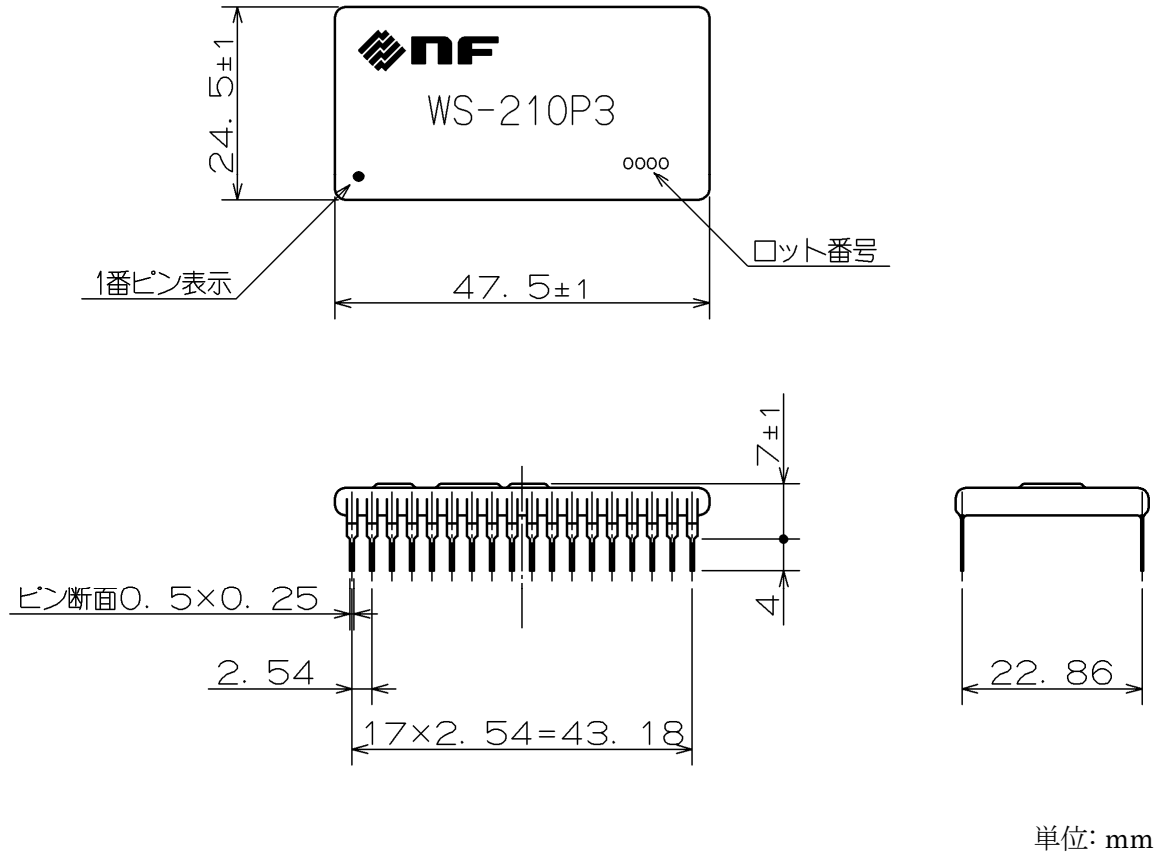
7.2. 单独使用时 (片电源使用)



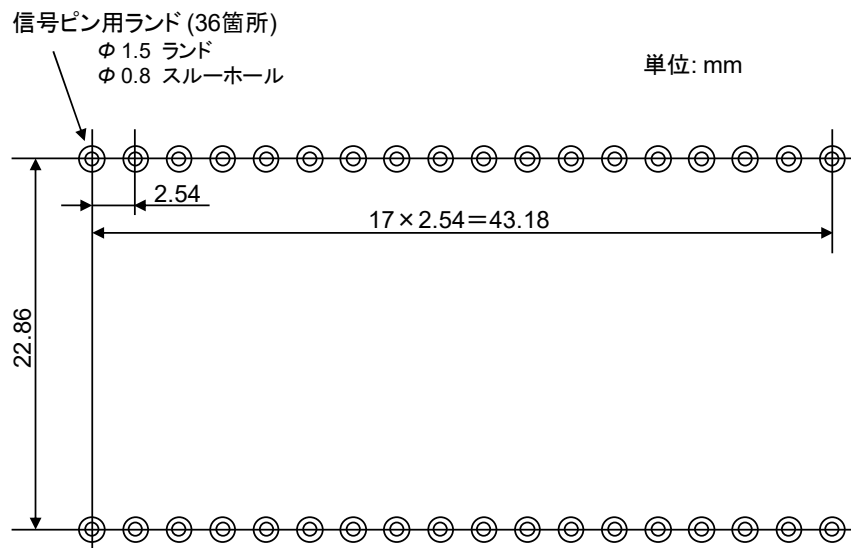
7.3. 三相システム構築時



8. モジュール外形寸法図



[パターン寸法図]



お 願 い

- 取扱説明書の一部または全部を，無断で転載または複写することは固くお断りします。
- 取扱説明書の内容は，将来予告なしに変更することがあります。
- 取扱説明書の作成に当たっては万全を期しておりますが，内容に関連して発生した損害などについては，その責任を負いかねますのでご了承ください。

もしご不審の点や誤り，記載漏れなどにお気づきのことがございましたら，当社または当社代理店にご連絡ください。

WS-210P3 取扱説明書

株式会社 エヌエフ回路設計ブロック

〒223-8508 横浜市港北区綱島東 6-3-20

TEL 045-545-8111(代)

<http://www.nfcorp.co.jp/>

© Copyright 2020, **NF Corporation**

